

2010年 SS研究会HPCフォーラム

富士通のHPCへの取り組み

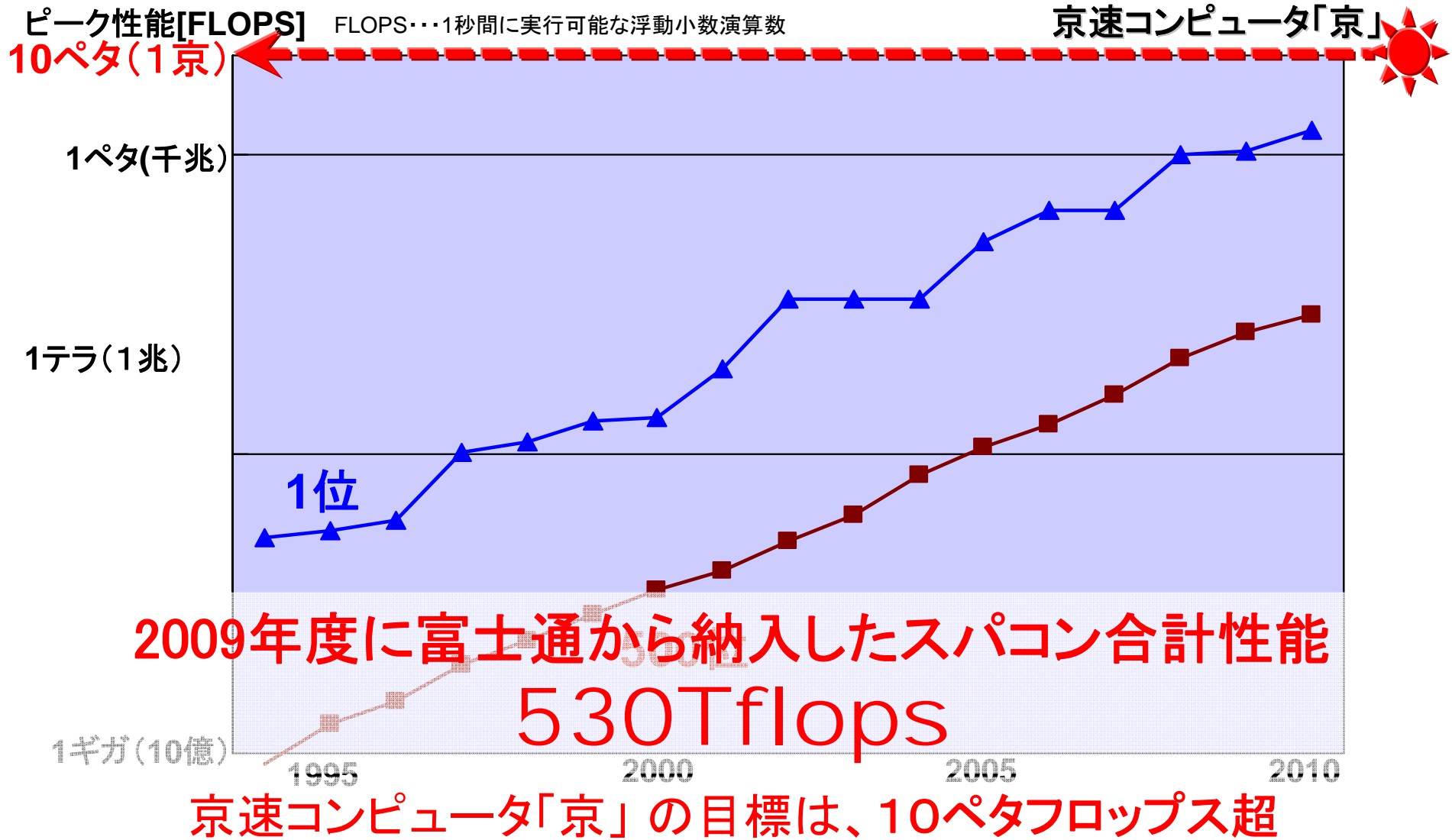
富士通株式会社

次世代テクニカルコンピューティング開発本部

常務理事 井上 愛一郎

shaping tomorrow with you

TOP500 と 2009年度のスパコン納入実績



TOP500 (<http://top500.org>) のサイト別順位の統計データ(1994~2010)に基づきグラフを作成

京速コンピュータ「京」の概要

- 文部科学省が推進する「革新的ハイパフォーマンス・コンピューティング・インフラ(HPCI)の構築」計画のもと、理化学研究所様と共同で開発中のスーパーコンピュータ

- 幅広い計算科学分野の利用に供する世界最高のコンピューティング基盤を整備するもの

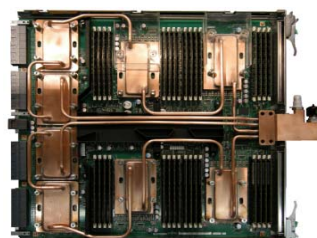
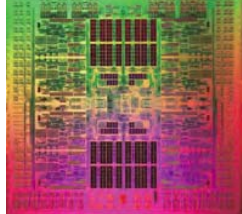
- 2012年完成予定



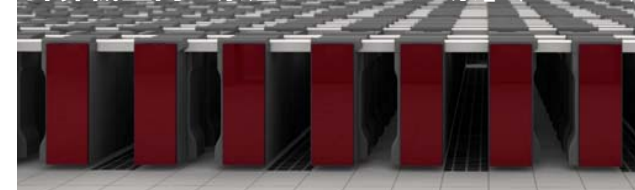
2010年秋より、導入開始

2012年
運用開始

SPARC64™ VIIIfx



計算機室内の京速コンピュータ「京」(イメージ)

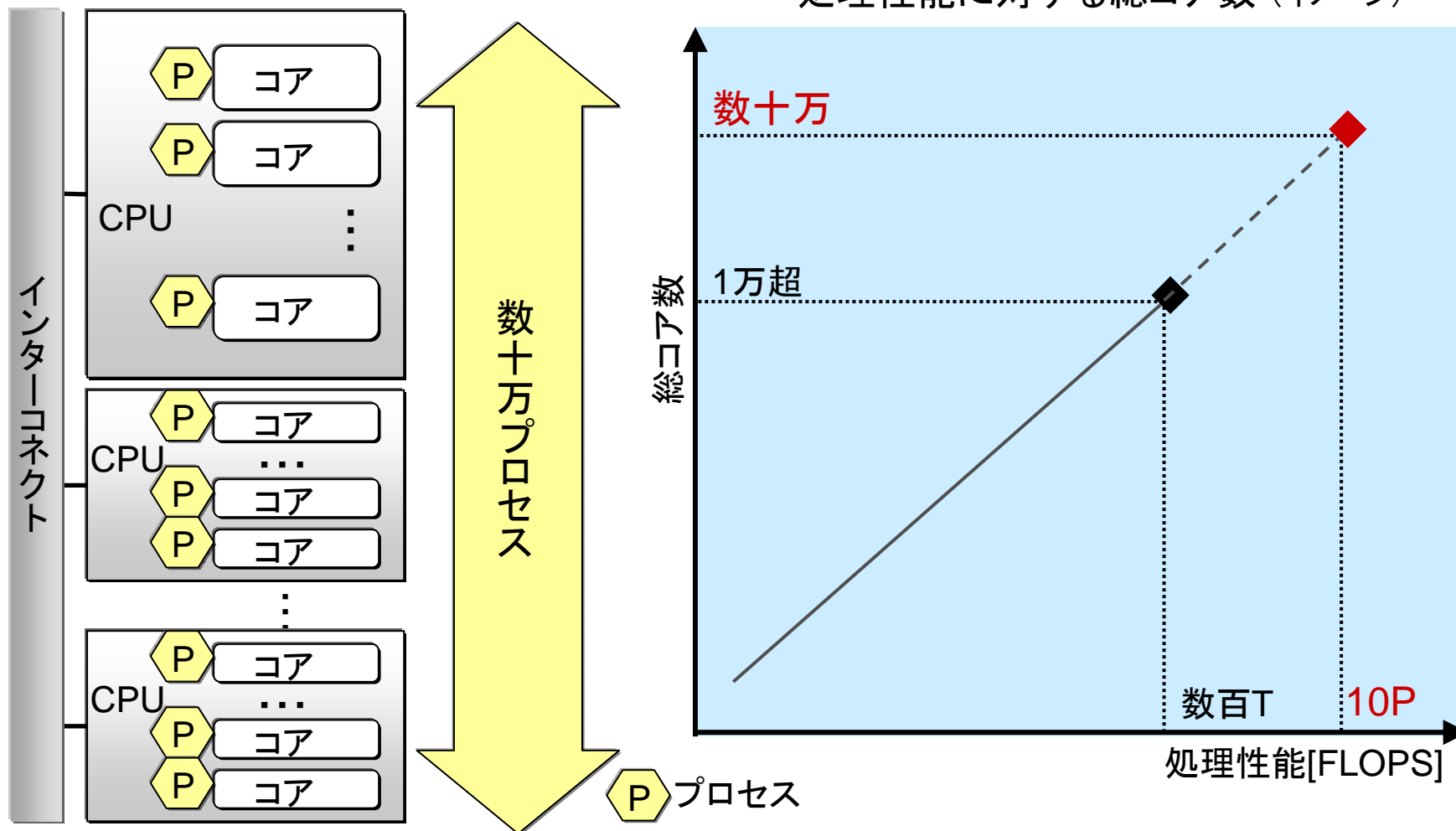


10ペタFLOPS実現に向けた超並列の課題

10ペタFLOPSの実現では、数十万規模のコア数、並列プロセス数に到達
並列プログラミングの簡略化と高効率な並列処理を実現する仕組みが必要

【フラット】（全てMPIで記述）

処理性能に対する総コア数（イメージ）

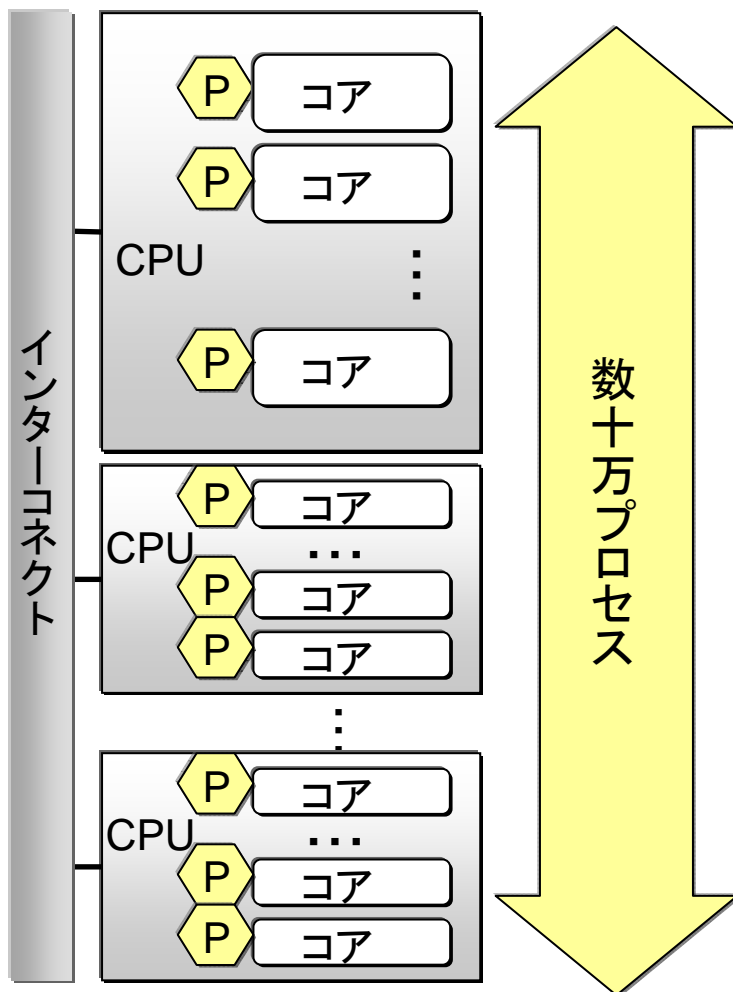


VISIMPACT™によるハイブリッド並列の実現

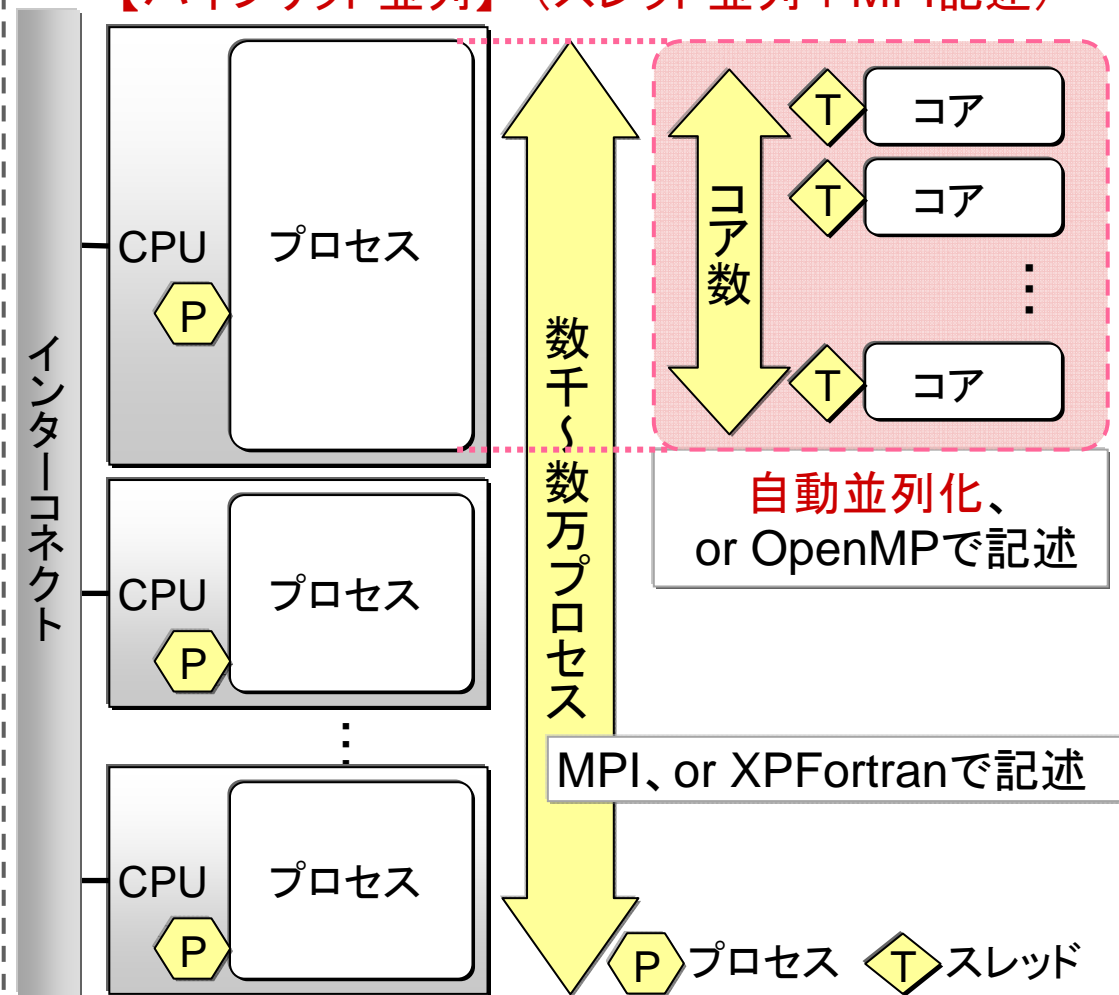
ハイブリッド並列の狙い: MPIプロセス数 = (総プロセス数) / (コア数) に簡略化

VISIMPACT™ は、ハイブリッド並列を高効率に実現するアーキテクチャ

【フラット】 (全てMPIで記述)

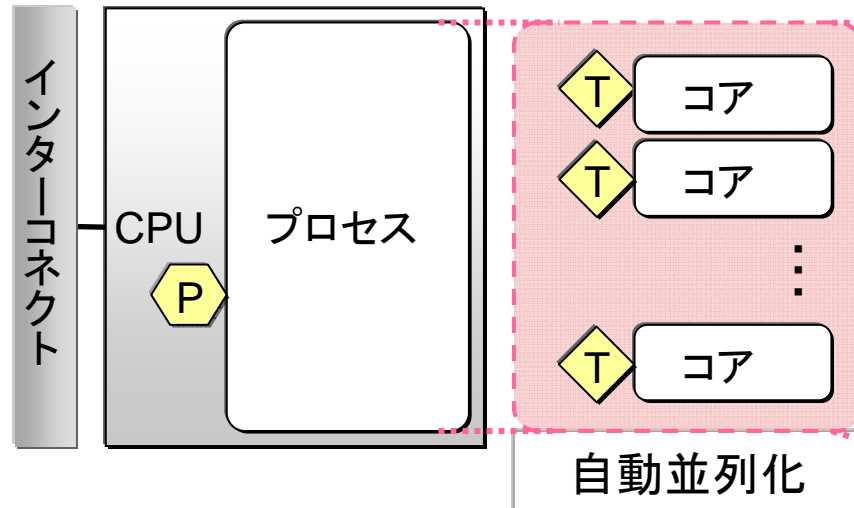


【ハイブリッド並列】 (スレッド並列+MPI記述)

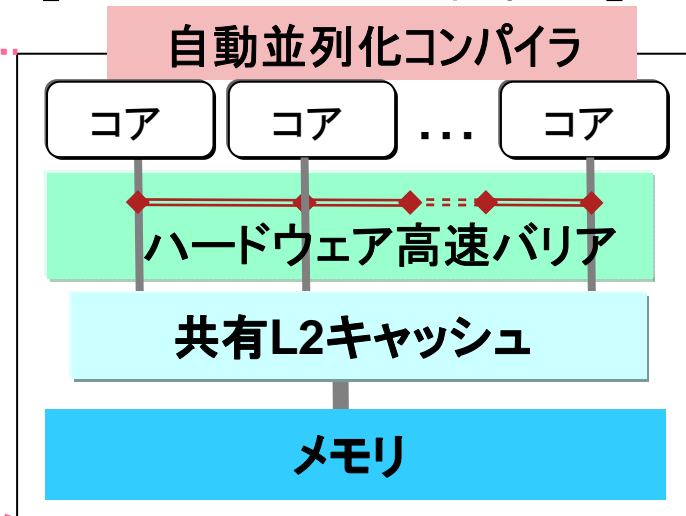


VISIMPACT™の高性能性を支えるSPARC64™ VIIIfx

【ハイブリッド並列の概念】



【VISIMPACT™の仕組み】



■ CPU: SPARC64™ VIIIfx による高性能化

■ コア間並列実行の高速化

- ハードウェア高速バリア: スレッド起動/終了処理の高速化
- 共有L2キャッシュ: False sharingの影響軽減により通信高速化

■ メモリ性能の強化

- メモリバンド幅の強化, キャッシュをソフトウェアから制御

■ コンパイラによる自動並列化

- 上記CPU機構により, 最内ループの並列実行でも, 高速化が可能
- 自動ベクトル化技術の応用による, 高い並列性認識率

SPARC64™ VIIIfx と他CPUとの比較



参考 (FX1に搭載)

参考 (BX900に搭載)

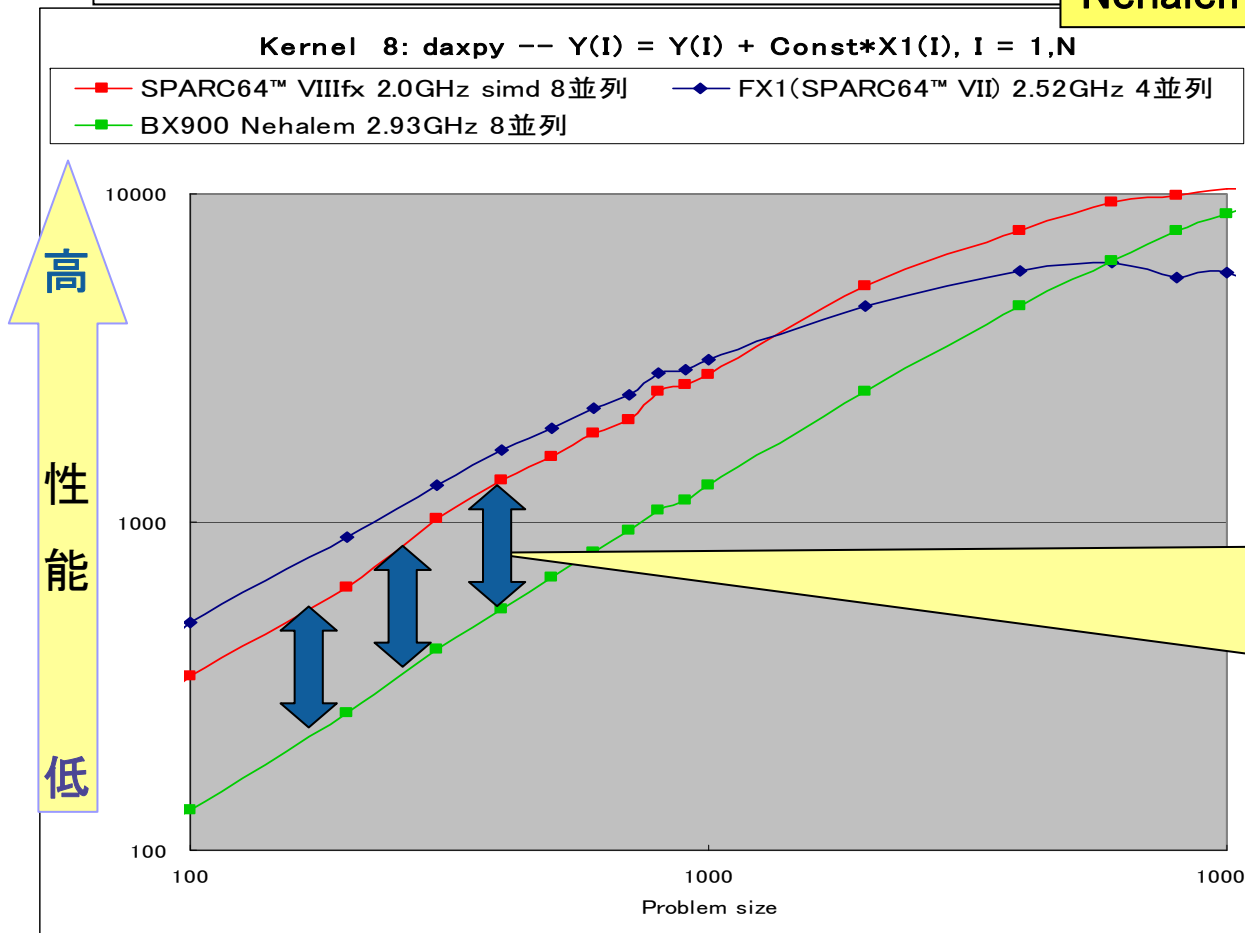
	SPARC64™ VIIIfx	SPARC64™ VII	Nehalem-EP
コア数	8	4	4
マシクロック	2.0GHz	2.52GHz	2.93GHz
消費電力	58W [水冷時]	135W	95W
命令セット	SPARC-V9/JPS1 +HPC-ACE	SPARC-V9/JPS1	Intel® 64
FPLレジスタ数	256	32	16
倍精度演算性能	チップあたり 128GFLOPS	チップあたり 40GFLOPS	チップあたり 47GFLOPS
クロック・コアあたり 倍精度演算実行数	8	4	4
倍精度演算器構成	2FMA × 2SIMD	2FMA	(FM+FA)x2SIMD
L1キャッシュ	コアあたり、 命令:32KB/2way データ:32KB/2way	コアあたり、 命令64KB/2way データ:64KB/2way	コアあたり、 命令:32KB/4way データ:32KB/8way
L2キャッシュ	コア共用6MB/12way	コア共用6MB/12way	コアあたり256KB/8way
L3キャッシュ	なし	なし	コア共用8MB/16way

VISIMPACT™の効果: CPU間の性能比較

■ Euroben 8 (DAXPY)

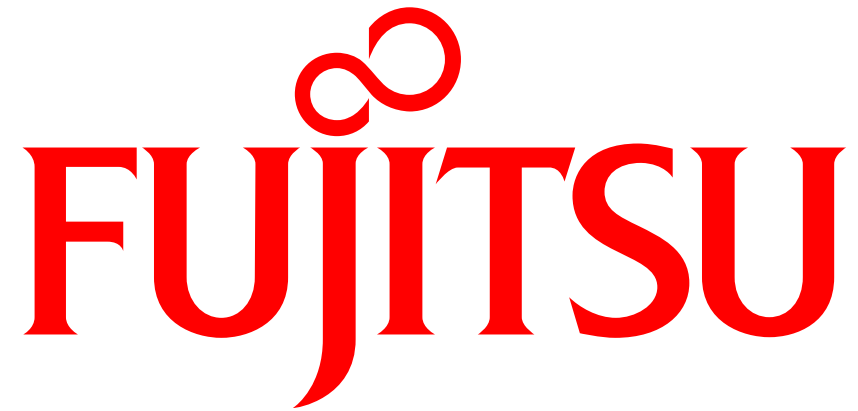
```
Do i = 1, n
    y(i,jsw) = y(i,jsw) + c0*x1(i)
End Do
```

SPARC64™ VIIIfx: 1CPU(8コア)実行
SPARC64™ VII: 1CPU(4コア)実行
Nehalem-EP: 2CPU(8コア)実行



ループ長数百程度の
細粒度並列では、
非VISIMPACTの
Nehalem-EPでは、
実行性能約**2倍**違う
(ピーク比1.36倍)

- 理化学研究所様と共同で開発を進めている京速コンピュータ「京」の2012年完成に向け、今年秋より納入を開始します。
- 10ペタFLOPSの性能実現には、数十万のコア数、並列プロセス数に到達し、並列プログラミングの簡略化と高効率な並列処理の実現が課題になります。
- VISIMPACT™は、コンパイラとCPUが協調したアーキテクチャにより、この課題を解決するものです。



shaping tomorrow with you