

# エクサスケールで顕在化するPower Wall問題 ～現状と今後の打開策～

電気通信 大学大学院情報システム学研究科  
近藤 正章

# エクサスケールへの壁

---

- ▶ エクサスケールシステムへの課題
  - ▶ 信頼性の壁—エクサスケールHPLの実行には1週間近くを要する
  - ▶ 消費電力の壁—10倍超の電力効率の向上が必要
  - ▶ 低B/F、小メモリ容量、...
- ▶ EXTREMETECHより
  - ▶ “Supercomputing director bets \$2,000 that we won’t have exascale computing by 2020...One of the biggest problems standing in our way is power.”

[出展] <http://www.extremetech.com/computing/155941-supercomputing-director-bets-2000-that-we-wont-have-exascale-computing-by-2020>



Power Wall問題を解決しない限りエクサスケール  
システムの実現は難しい

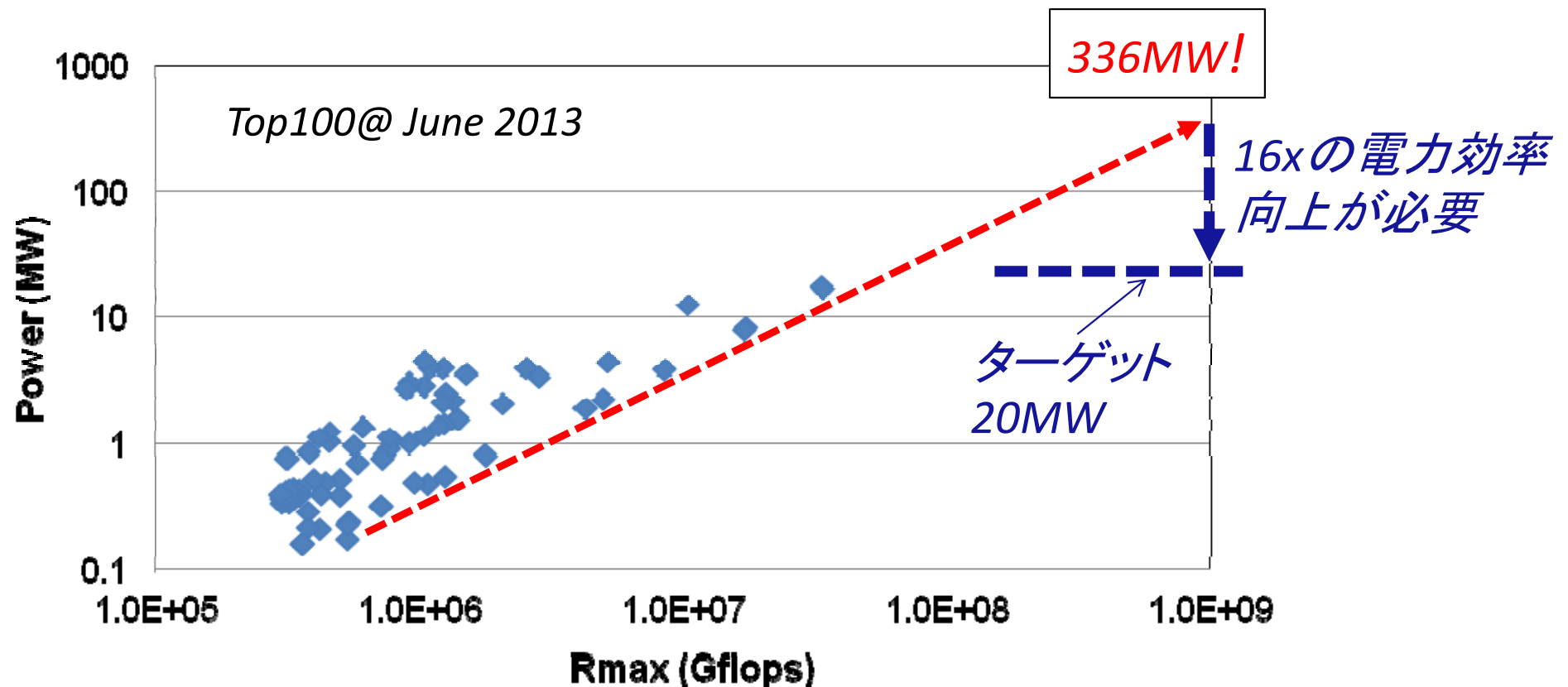
# 講演内容

---

- ▶ 高性能計算機の消費電力トレンド
- ▶ エクサスケールに向けたPower Wallの検証
- ▶ Power Wall打開に向けた要素技術
- ▶ 電力マネージメントフレームワークの研究紹介

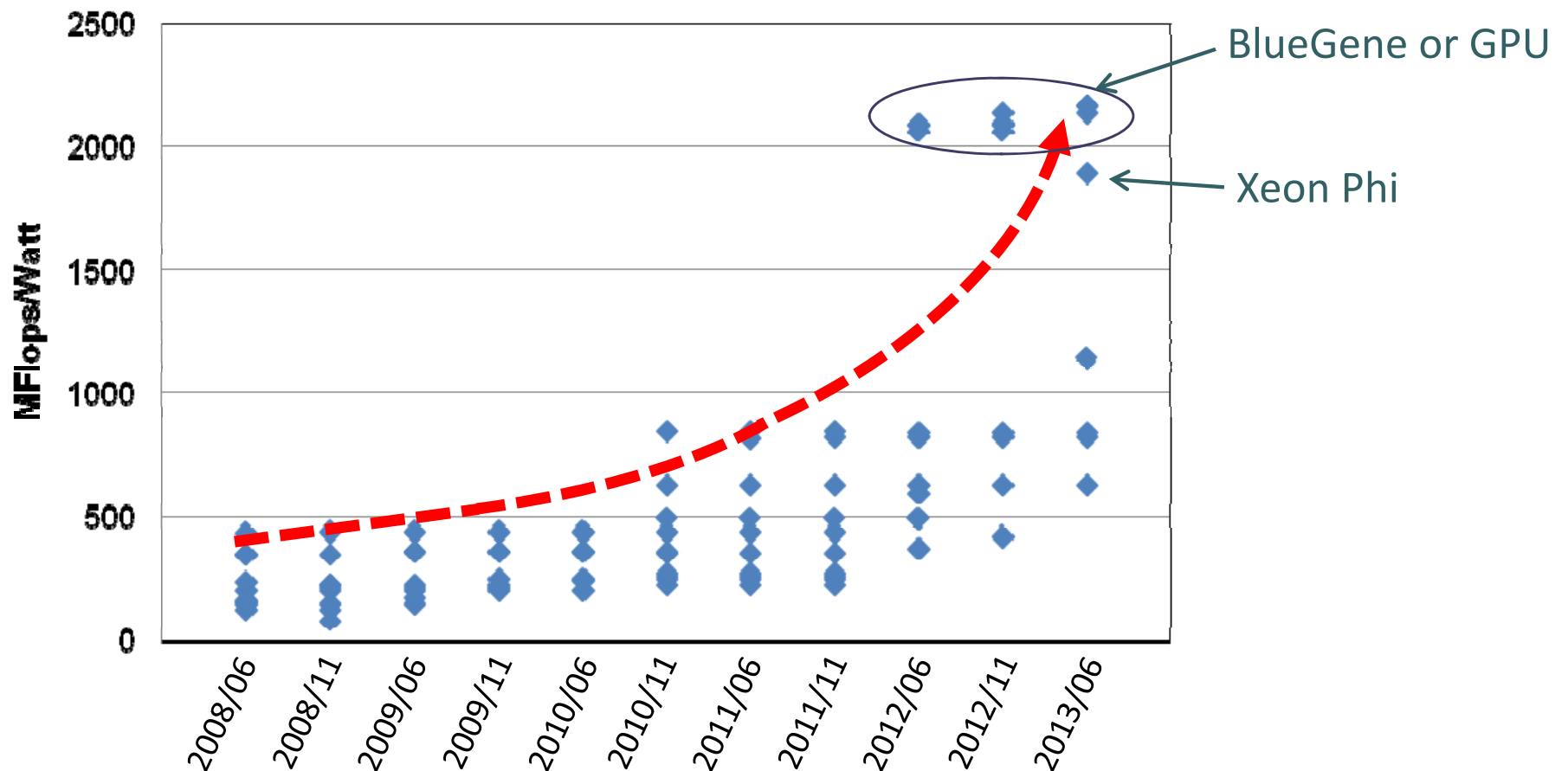
# 現在のスパコンの電力効率

- ▶ Top100スパコンのLinpack性能と消費電力
  - ▶ Top100中で最も電力効率が良いスパコン: 2972MFlops/Watt
- ▶ 20MWでExaFlops実現には16倍の電力効率向上が必要



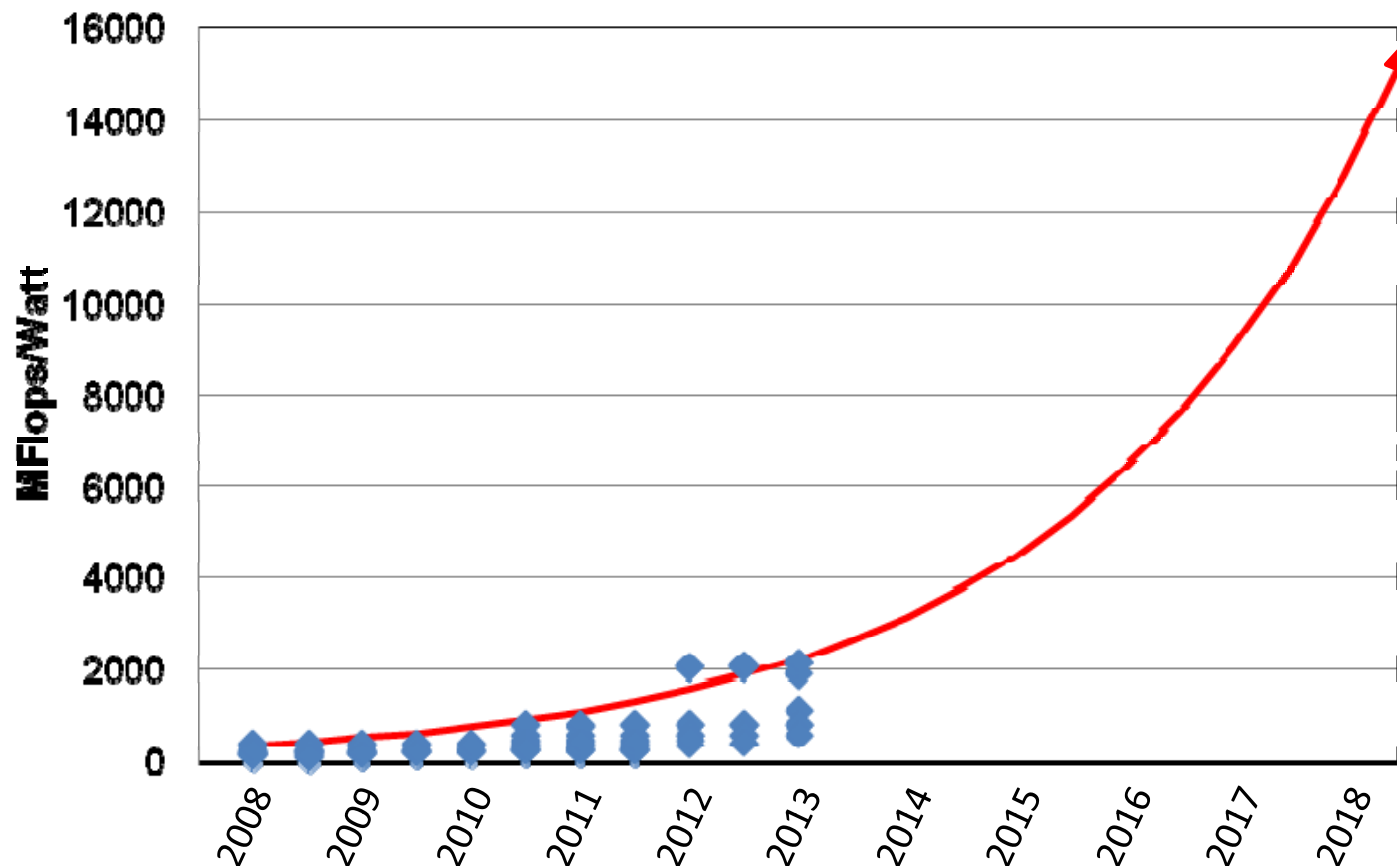
# システムレベルの電力あたり性能(MFlops/Watt)

- ▶ Top10スパコンのMFlops/Watt
  - ▶ 2年(1プロセス世代)でおおよそ2倍の向上
  - ▶ 今後は電力効率向上ペースは鈍化すると予想されている



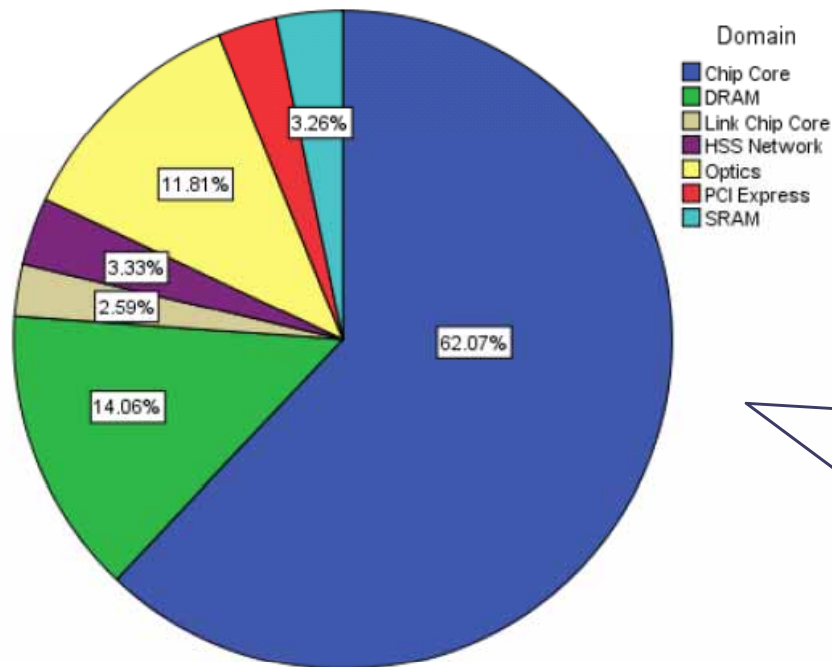
# システムレベルの電力あたり性能の将来トレンド

- ▶ 2年で2倍のFlops/Watt向上が続くとしても・・・
    - ▶ 2018年では10～20GFlops/Watt → エクサシステムで50MW
- 電力効率向上のためのさらなる技術開発が必須



# 現在のシステムの消費電力の内訳

## ▶ BlueGene/Qの消費電力の内訳



[出展] S. Wallace, et. al., "Measuring Power Consumption on IBM Blue Gene/Q". Proc. 9th HPPAC, 2013.

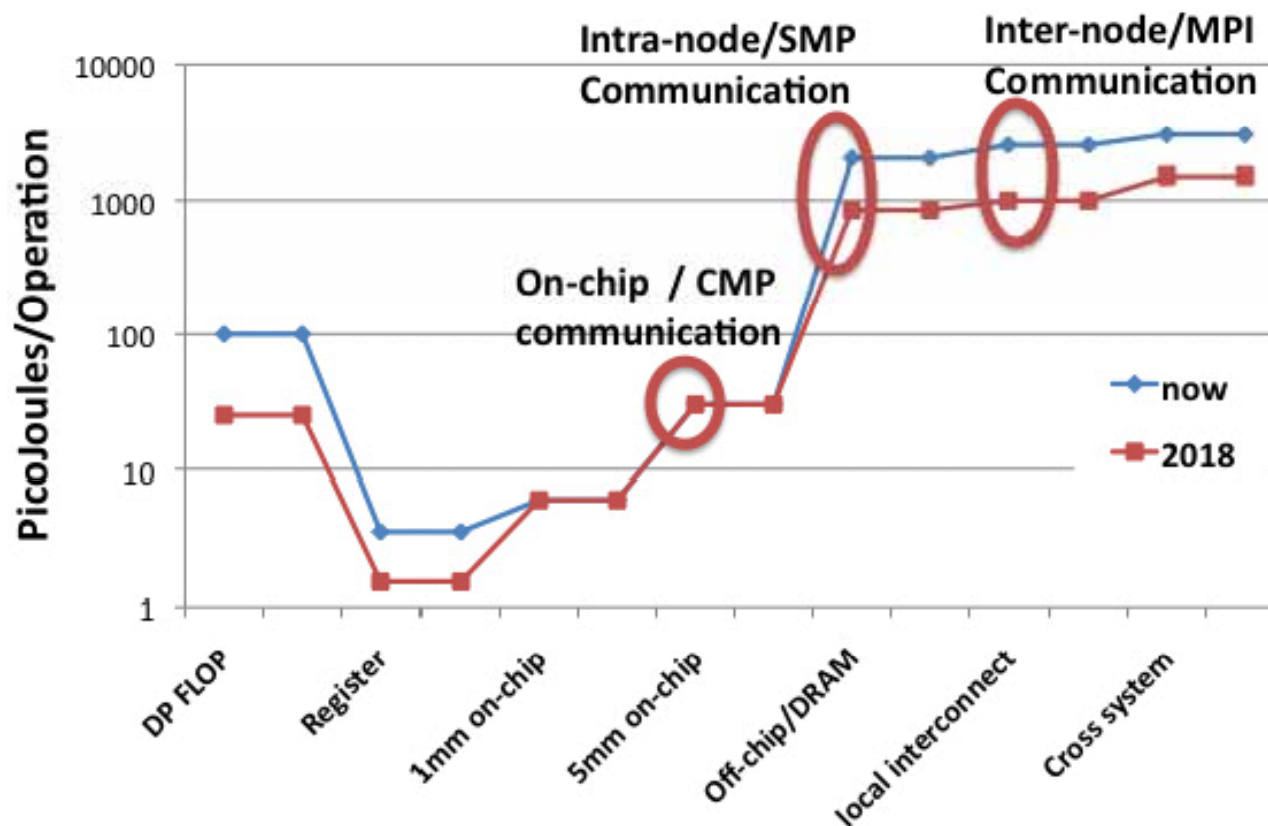
- ▶ BGQのenvironment databaseを通じて取得
- ▶ プロセッサ+SRAMの電力: 65%
- ▶ DRAM電力: 約14%
- ▶ ネットワーク電力: 約21%

Fig. 10. Pie chart showing relative percentages of total power usage consumed by each of the 7 power domains. Intense network activity largely contributing to optics percentage.

## ▶ BlueGeneでもプロセッサ・コア以外の消費電力は大きい

# データ移動の電力コスト

- ▶ オフチップデータ移動の電力コストは計算よりも高い
  - ▶ 今後はメモリやインターコネクトの電力削減の重要性が増加
  - ▶ データ移動を抑えるソフトウェア技術(局所性の活用)も重要に



[出展]: Rick Stevens, et. al. "Scientific Grand Challenges: Architectures and Technology for Extreme Scale Computing", DoE, Dec. 2009.



# 講演内容

---

- ▶ 高性能計算機の消費電力トレンド
- ▶ エクサスケールに向けたPower Wallの検証
- ▶ Power Wall打開に向けた要素技術
- ▶ 電力マネージメントフレームワークの研究紹介

# エクサに向けたPower Wallの検証

---

- ▶ エクサシステムに向けPower Wallは大きな課題
- ▶ システムの構成要素毎に性能・消費電力を検証
  - ▶ プロセッサ(浮動小数点演算)
  - ▶ メモリ(DRAM)
  - ▶ 通信(インターコネクト)
- ▶ 以下の資料を基に最新動向を踏まえてアップデート
  - ▶ ITRS roadmap, <http://www.itrs.net/>
  - ▶ P. Kogge, et. al., “ExaScale Computing Study, Technology Challenges in Achieving Exascale Systems”, IPTO Technical report TR-2008-13, DARPA Sep. 2008.
  - ▶ R. Stevens, et. al. “Scientific Grand Challenges: Architectures and Technology for Extreme Scale Computing”, Technical report, ASCR Scientific Grand Challenges Workshop Series, Dec. 2009.
  - ▶ 石川他, “計算科学研究ロードマップ白書”, 2012年3月.

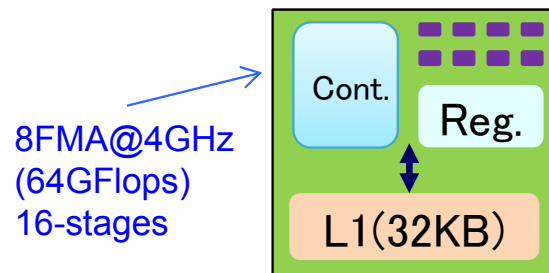
# エクサシステムで想定されるプロセッサ構成

[出展]「計算科学研究ロードマップ白書」より

## ▶ レイテンシコア (LC)

- 高い周波数
- 深いパイプライン構成
- アウトオブオーダー実行
- キャッシュ・プリフェッチ

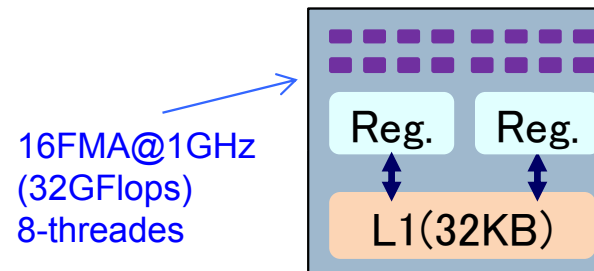
→ シングルスレッド性能に特化



## ▶ スループットコア(TC)

- 低い周波数
- 浅いパイプライン
- インオーダー実行
- マルチスレッドサポート

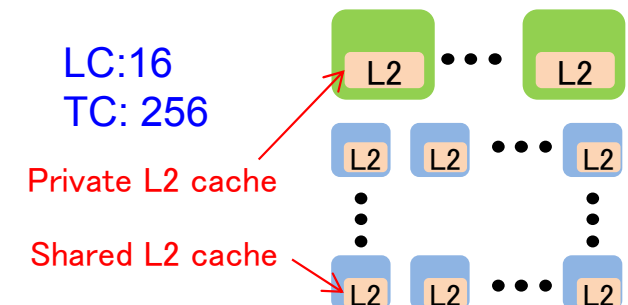
→ 電力性能に特化



## ▶ ヘテロ構成

- LCとTCの融合によるヘテロ構成 (On-chip あるいは Off-chip)
- プログラミングの複雑化

→ シングル&マルチスレッド性能の両者に特化



	# cores	FLOPS	Clock speed	LLC
レイテンシコアのみで構成	32	2TFLOPS	4GHz	128MB
スループットコアのみで構成	512	16TFLOPS	1GHz	128MB
ヘテロ構成 (面積比 LC:TC = 1:1)	16L+256T	9TFLOPS	4GHz/1GHz	128MB
(参考) K-computer (58W/CPU)	8	128GFLOPS	2GHz	6MB

仮定: 各プロセッサチップの電力は50-200W程度と想定

# プロセッサの消費電力

- ▶ プロセッサの消費電力効率(GFlops/Watt)の予想
  - ▶ レイテンシコア(LC)、スループットコア(TC)、ヘテロ構成それぞれ

	2009年	2011年	2013年	2015年	2017年
プロセス世代	45nm	32nm	22nm	16nm	11nm
[参考]D-FLOP 電力 (pJ/FLOP)	20	10.5	6.0	3.5	2.0
LC電力効率 (GF/W)	0.5 - 2	1 - 4	2 - 16	4 - 30	8 - 40
TC電力効率 (GF/W)	2 - 10	4 - 20	8 - 40	16 - 80	32 - 160
ヘテロ構成電力効率 (GF/W)	—	2 - 10	5 - 25	9 - 50	18 - 90



2018年に利用可能なプロセス世代でExaFlopsを実現するにはプロセッサのみで10-20MW程度が必要

# メモリ(DRAM)の消費電力

## ▶ 各世代のメモリの比較

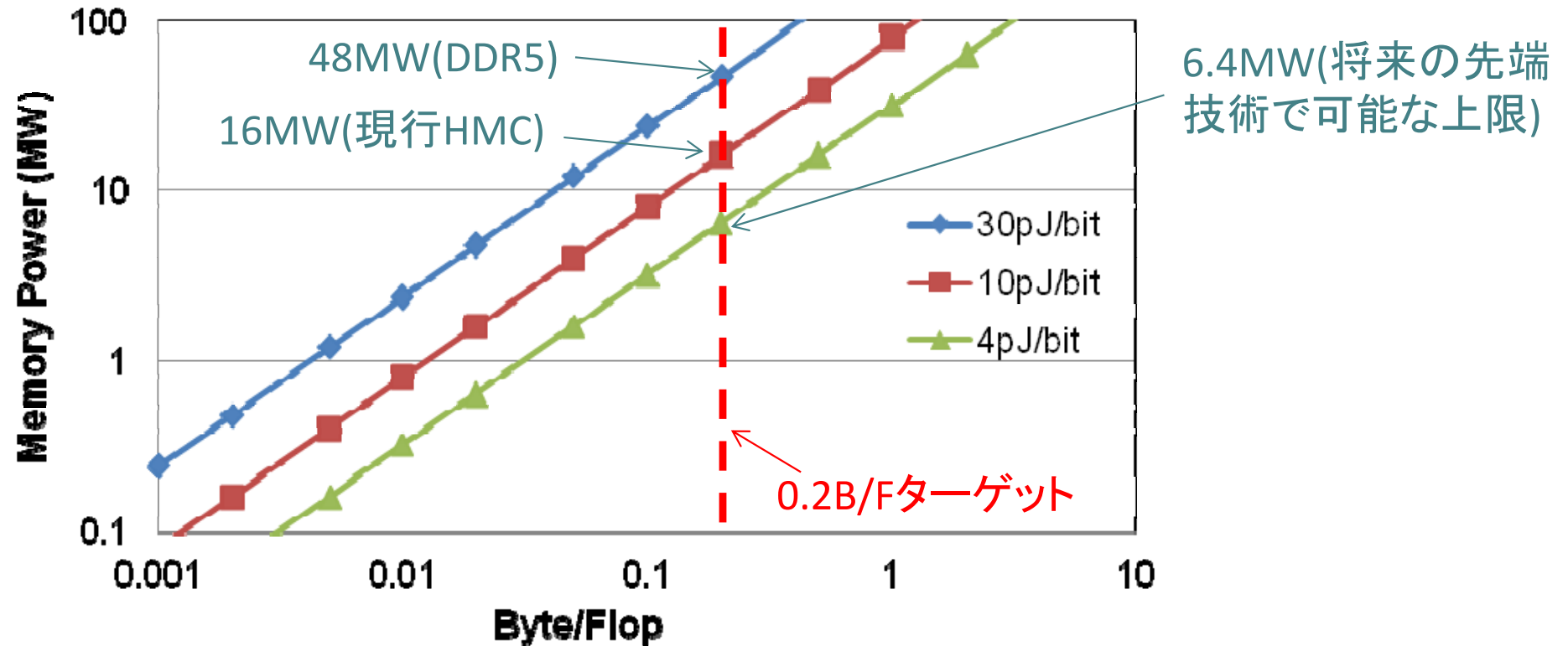
Technology	VDD	IDD	BW GB/s	Power (W)	mw/GB/s	pJ/bit	real pJ/bit
SDRAM PC133 1GB	3.3	1.50	1.06	4.96	4664.97	583.12	762
DDR-333 1GB	2.5	2.19	2.66	5.48	2057.06	257.13	245
DDRII-667 2GB	1.8	2.88	5.34	5.18	971.51	121.44	139
DDR3-1333 2GB	1.5	3.68	10.66	5.52	517.63	64.70	52
DDR4-2667 4GB	1.2	5.50	21.34	6.60	309.34	38.67	39
HMC 4DRAM w/ Logic	1.2	9.23	128.00	11.08	86.53	10.82	13.7

[出展]: J. T. Pawlowski, “Hybrid Memory Cube (HMC)”, Hot Chips23, Aug. 2011.

- ▶ 世代が進むにつれてDRAMの電力効率(pJ/bit)は改善
- ▶ DRAMモジュールの消費電力は増加傾向
  - ▶ 実装密度の向上、バンド幅の向上
- ▶ 従来トレンドを外挿すると2018年のDDRテクノロジー (DDR5)では30pJ/bitと予想されている[Stevens2009]

# メモリ(DRAM)の消費電力

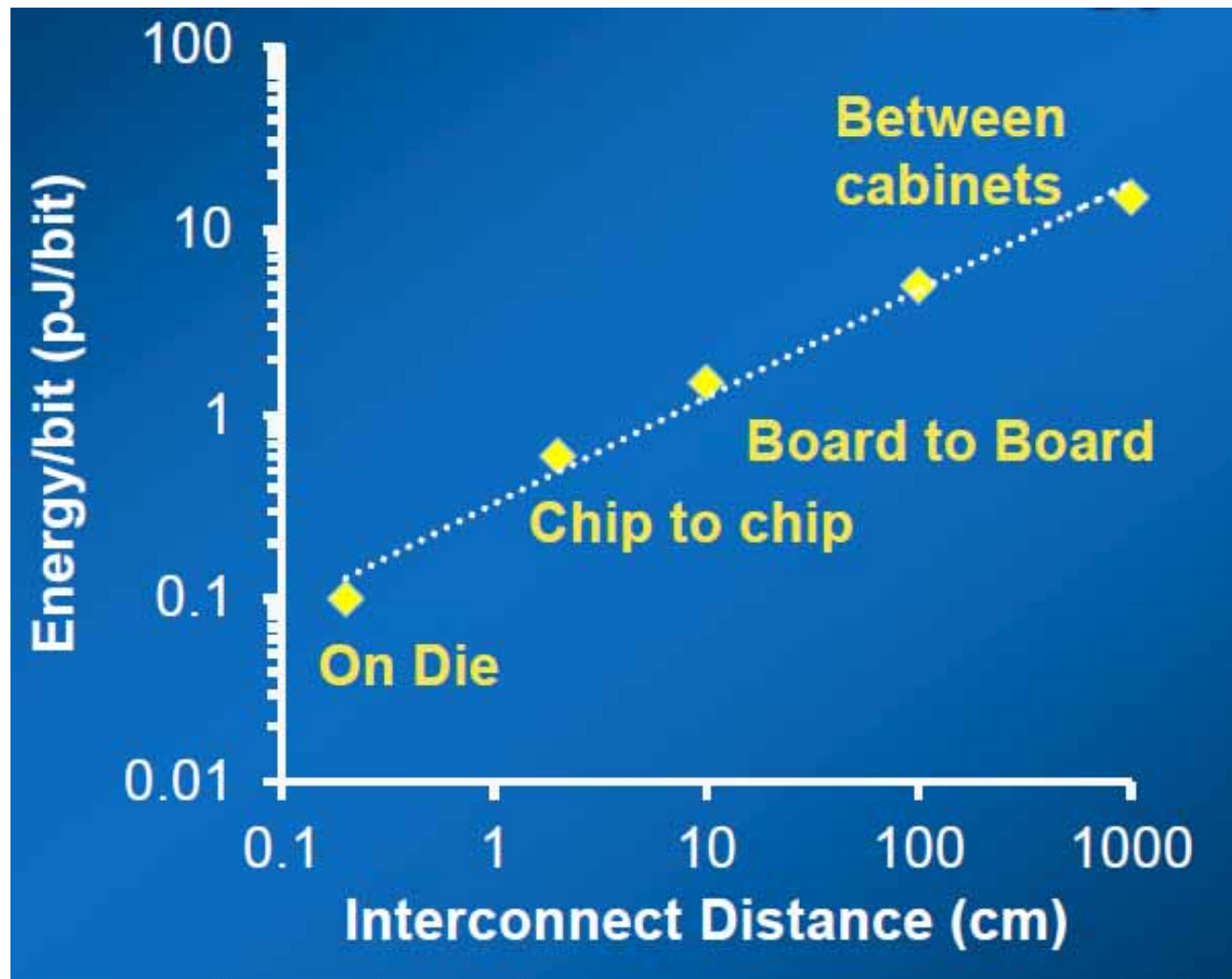
## ▶ 要求メモリバンド幅(Byte/Flop)に基づくDRAM電力の推定



- ▶ 30pJ/bitでは0.2B/Fの実現に48MWもの電力が必要
- ▶ より電力効率の良いメモリ技術の開発が必須
  - ▶ 先端テクノロジーで7pJ/bit (最小で4pJ/bit) と予想[Stevens2009]

# 通信の消費電力

- ▶ 距離に応じたデータ移動に必要なエネルギー

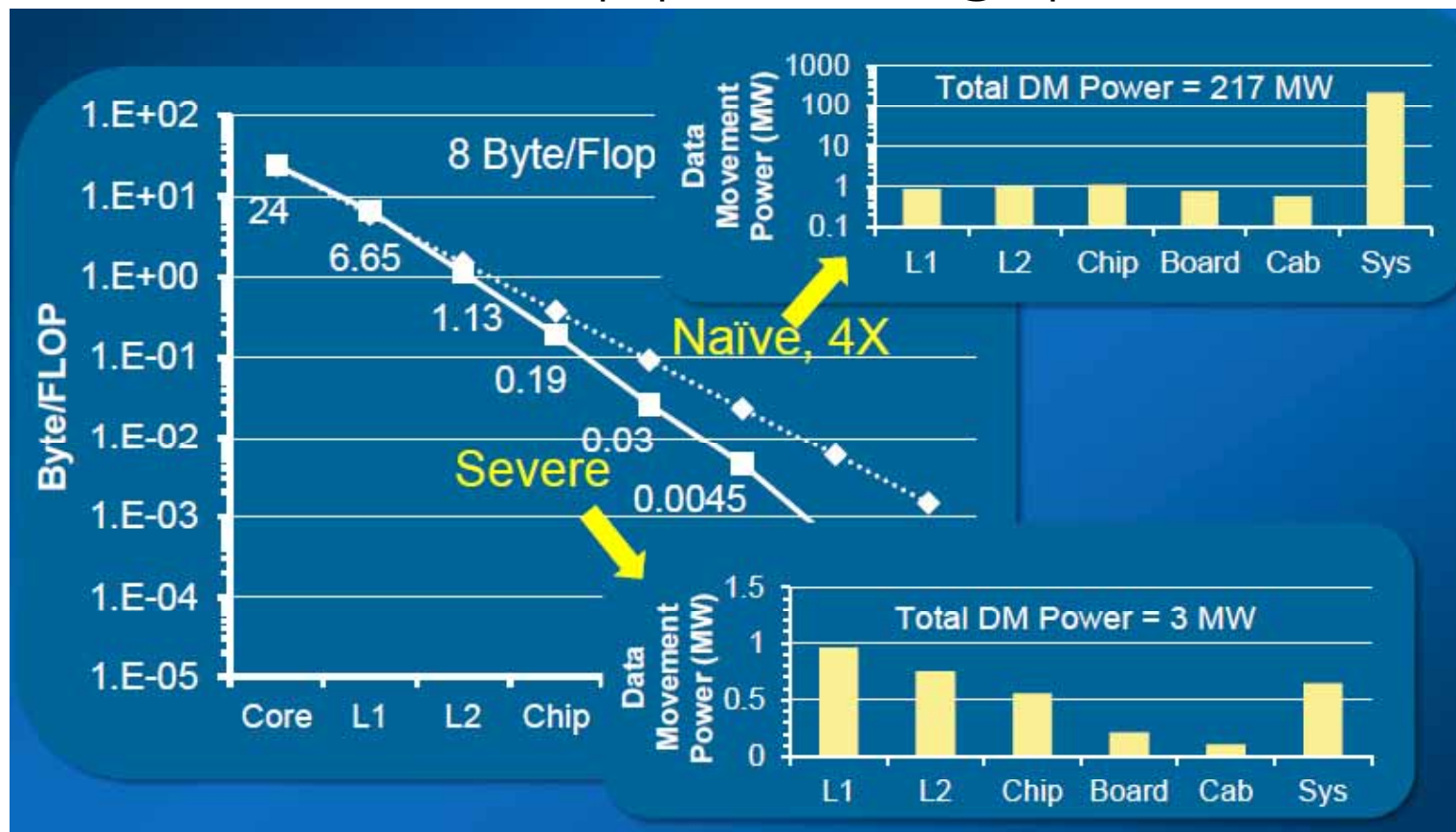


[出展] S. Borkar, "Exascale Computing – a fact or a fiction?", IPDPS2013 Keynote , May 2013.

# 通信の消費電力

## ▶ エクサシステムにおけるデータ移動にかかる電力

1m以上の通信: 40Gbps photonics links@10pJ/bit



[出展] S. Borkar, "Exascale Computing – a fact or a fiction?", IPDPS2013 Keynote, May 2013.

→ 遠距離の通信バンド幅を抑えた設計が必要

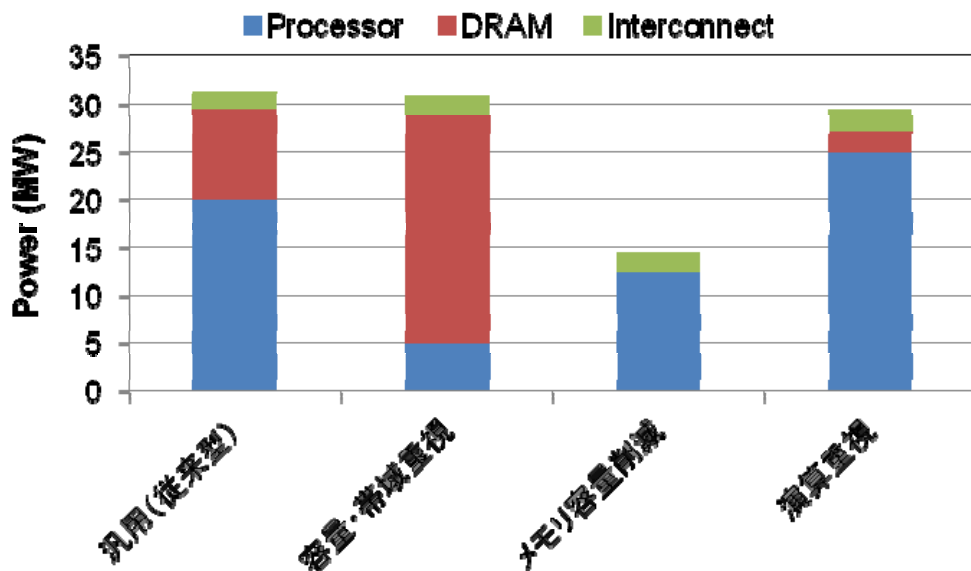


# エクサスケールアーキテクチャへのマッピング

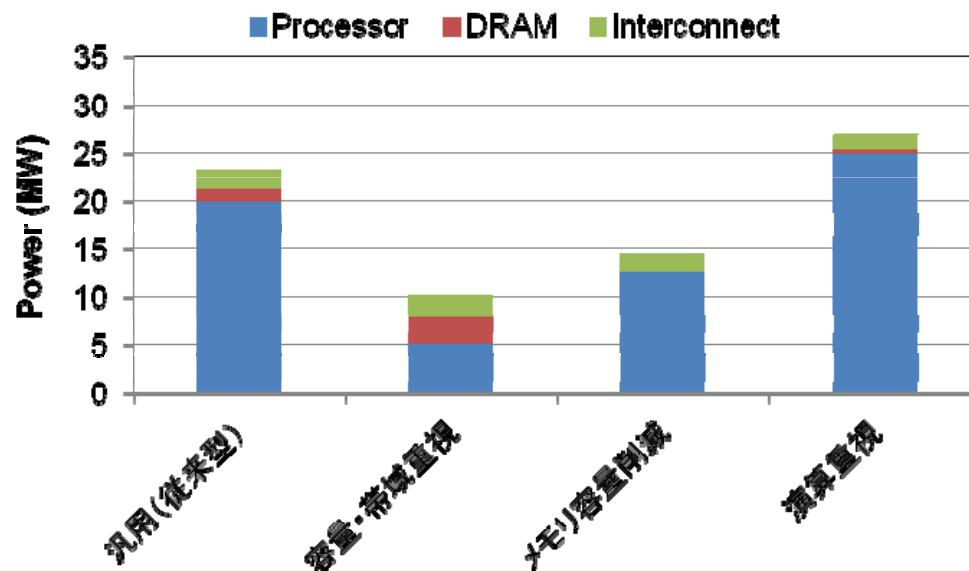
## ▶ 計算科学研究ロードマップ白書[石川2012]の各アーキテクチャへのマッピング

	総演算性能 PetaFLOPS	総メモリ帯域 PetaByte/s	総メモリ容量 PetaByte	Byte/Flop	利用コア の仮定
汎用(従来型)	200~400	20~40	20~40	0.1 程度	LC(20GF/W)
容量・帯域重視	50~100	50~100	50~100	1.0 程度	LC(20GF/W)
メモリ容量削減	500~1000	250~500	0.1~0.2	0.5 程度	ヘテロ(45GF/W)
演算重視	1000~2000	5~10	5~10	0.005 程度	TC(80GF/W)

DDR5 メモリ (30pJ/bit)



先端メモリ (4pJ/bit)



Interconnectは2MWで一定と仮定

# 講演内容

---

- ▶ 高性能計算機の消費電力トレンド
- ▶ エクサスケールに向けたPower Wallの検証
- ▶ Power Wall打開に向けた要素技術
- ▶ 電力マネージメントフレームワークの研究紹介

# 電力効率を向上させる技術候補

---

## ▶ プロセッサ

- ▶ (既存技術の延長) DVFS、Power-gating、Clock-gating
- ▶ 3次元積層技術、FinFET、トライゲート、FDSOI、SOTB、...
- ▶ Low (Near-Threshold) Voltage Computing
- ▶ SIMD幅拡大、アクセラレータの効率的利用

## ▶ メモリ

- ▶ 3次元積層技術(Hybrid Memory Cube、Wide I/O、HBM)
- ▶ 不揮発性メモリの利用

## ▶ インターコネクト

- ▶ シリコン・フォトリソ
- ▶ 動作モード制御(リンク幅/リンク速度のスケーリング)

## ▶ システムレベル電力マネージメント

- ▶ Power-capping、電力性能比を最適化するアルゴリズム/ライブラリ
- ▶ 電力モニタリング／制御インタフェースの提供

# Low (Near-Threshold) Voltage Computing

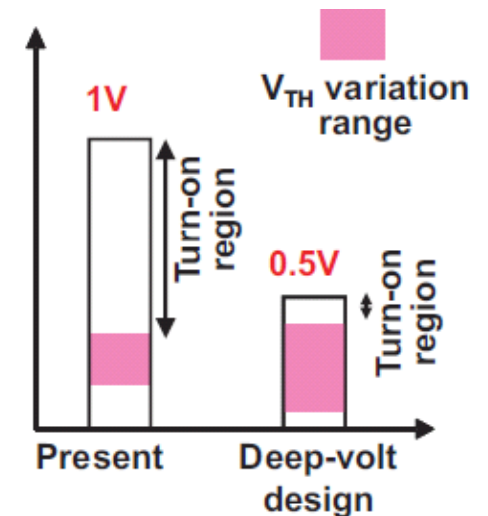
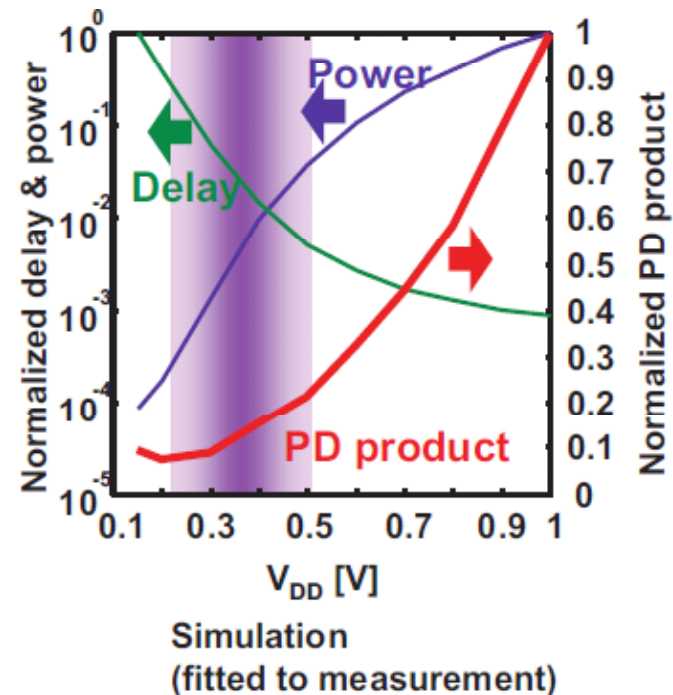
## ▶ 電源電圧のトレンド および

[出展] T. Sakurai, "Pitfalls in deep-volt logic design". ISSCC'11 Forum: Ultra-Low Voltage VLSIs for Energy-Efficient Systems, 2011.

非公開資料

## ▶ 低電圧動作の利点 と課題

[出展] T. Sakurai, "Designing Ultra-Low Voltage logic". Proc. ISLPED'11, pp57-58, Aug. 2011.



# プロセッサ・コア内のSIMD幅拡大

- ▶ SIMD幅を拡大することで電力性能効率が向上
- ▶ 多くのプロセッサがSIMD幅を増加させる傾向
  - ▶ e.g.) Intel SSE(128bit) → AVX(256bit) → AVX-512(512bit)
- ▶ 高い実効性能を出すためのソフトウェア環境が重要に

SPARC64 IXfxコアをSIMD拡張したときの特性

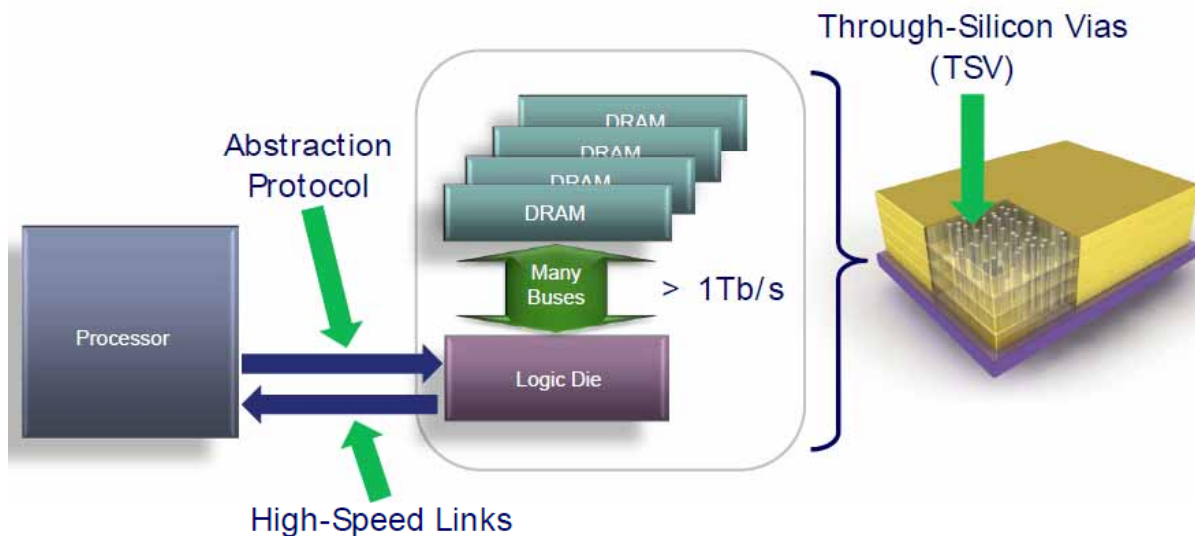


[出展] 追永, “FXシリーズの今後の取り組みについて”, SS研HPCフォーラム2013, 2013年8月.

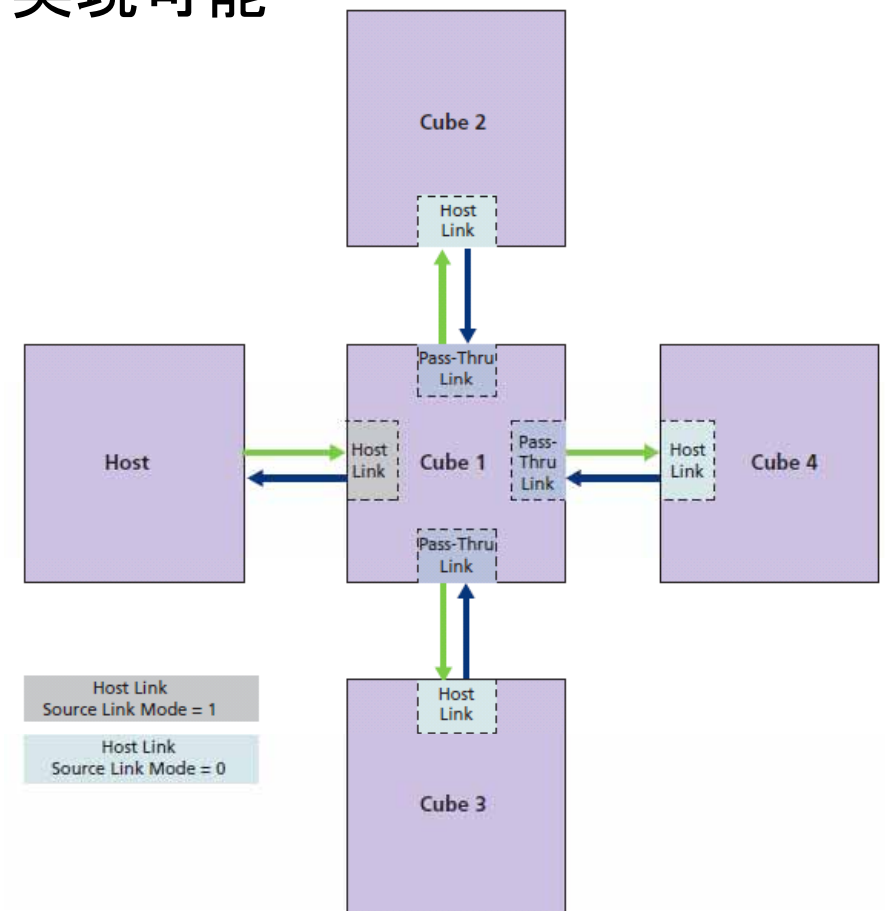
# Hybrid Memory Cube (HMC)

- ▶ DRAMダイとロジックダイを3次元積層
- ▶ プロセッサ・HMC間、HMCモジュール間を高速なシリアルリンクで接続
- ▶ 将来的に10pJ/bit以下のエネルギーを実現可能

## Hybrid Memory Cube (HMC)



Notes: Tb/s = Terabits / second  
HMC height is exaggerated



[出展]: J. T. Pawlowski, "Hybrid Memory Cube (HMC)",  
Hot Chips23, Aug. 2011.

[出展] Hybrid Memory Cube Consortium, "Hybrid  
Memory Cube Specification 1.0", 2013.

# 電力マネージメント技術

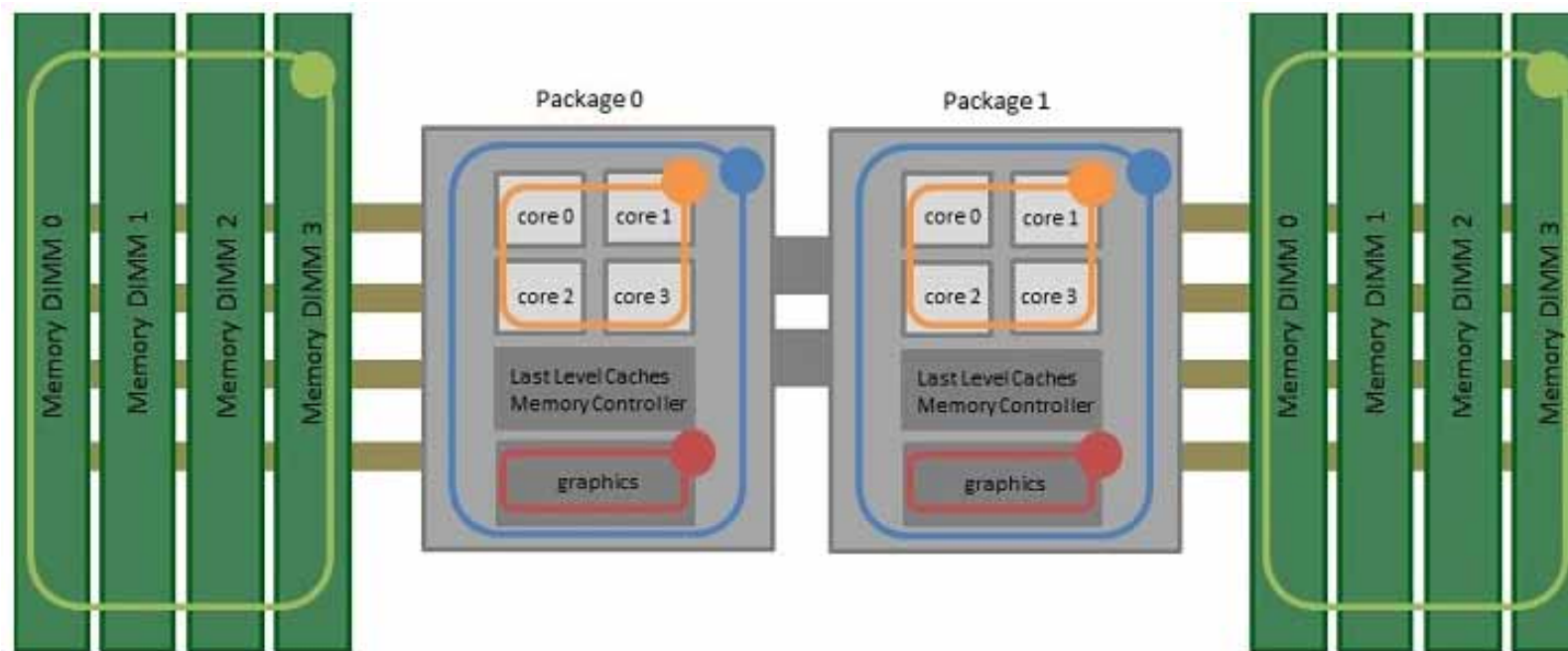
---

- ▶ エクサスケールでは電力マネージメントが重要
  - ▶ ハードウェア／ソフトウェアの電力管理
  - ▶ 各構成要素、各システム階層でのきめ細かな電力制御
  - ▶ Power-cappingのもとでのOver-provisioningも有望
- ▶ 重要技術項目
  - ▶ 電力消費状況の(リアルタイム)モニタリング
    - ▶ 電力観測インタフェースを備えるシステムが普及しつつある
    - ▶ e.g.) BlueGene/P、BlueGene/Q、Intel Sandy Bridge (RAPL)
  - ▶ 電力性能比を最適化するアルゴリズム/ライブラリ
  - ▶ 電力制御インタフェースの標準化
  - ▶ 電力制御用 *Knob* の適切なモデリングと最適化制御



# 電力観測・制御インタフェースの例: RAPL

- ▶ RAPL (Running Average Power Limit)インタフェース
  - ▶ Intel Sandy Bridgeマイクロアーキテクチャより搭載
  - ▶ パフォーマンスカウンタや温度等の情報を基に消費電力の見積り・制御
  - ▶ MSRを介して消費電力の取得や電力上限設定が可能
  - ▶ ドメイン毎に電力を計測



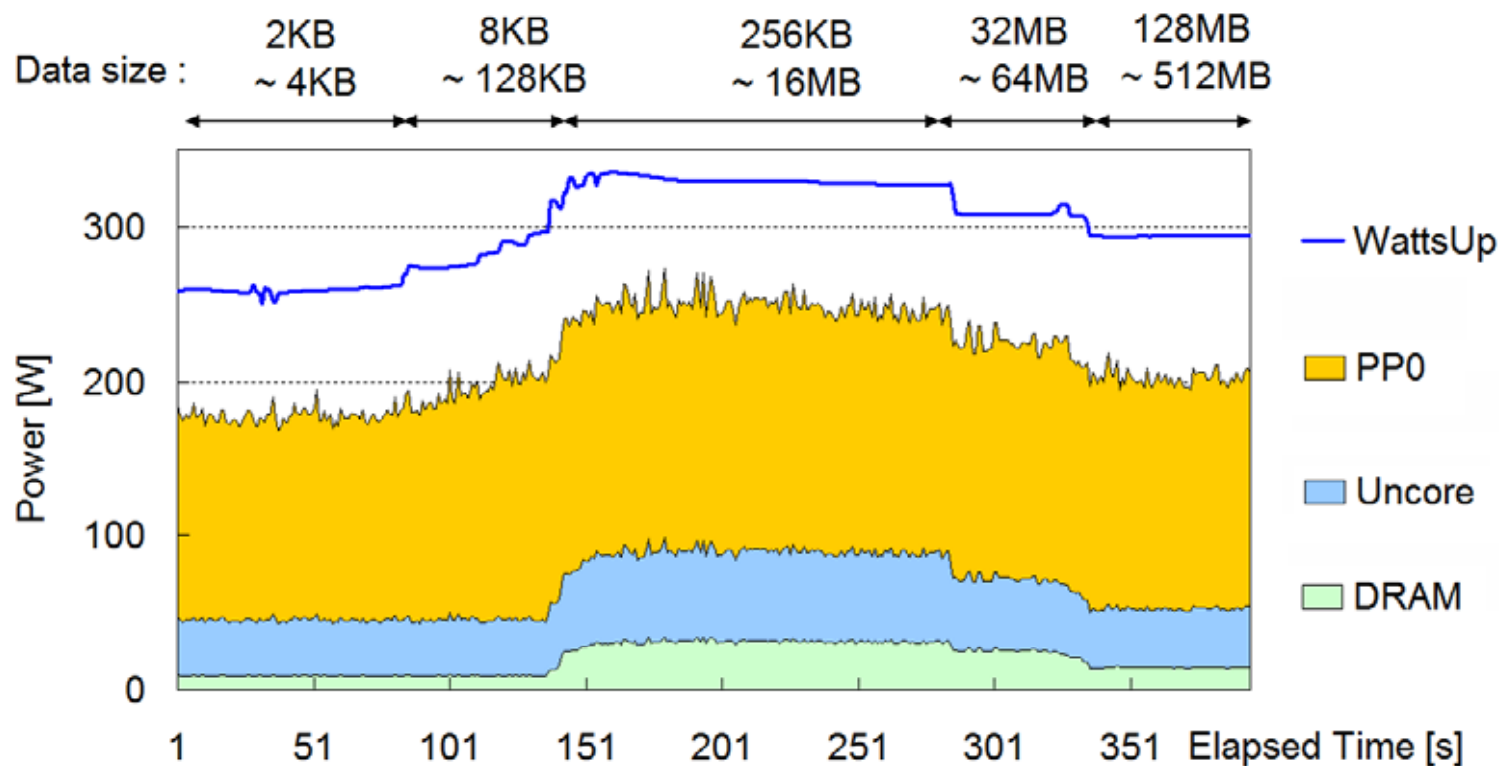
[出展]: Intel Power Governor, <http://software.intel.com/en-us/articles/intel-power-governor>



# RAPLによる電力モニタリングの例 [カオ2013]

## ▶ ストリームアクセスプログラム

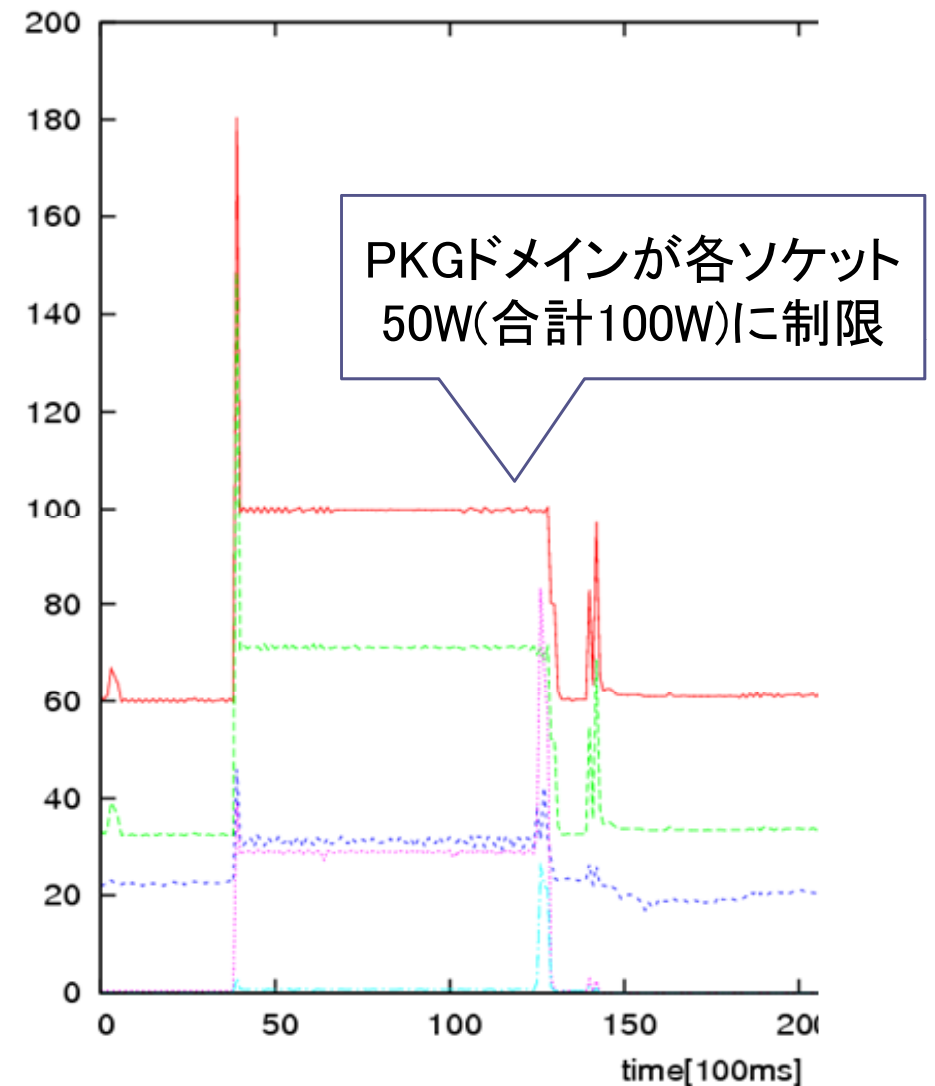
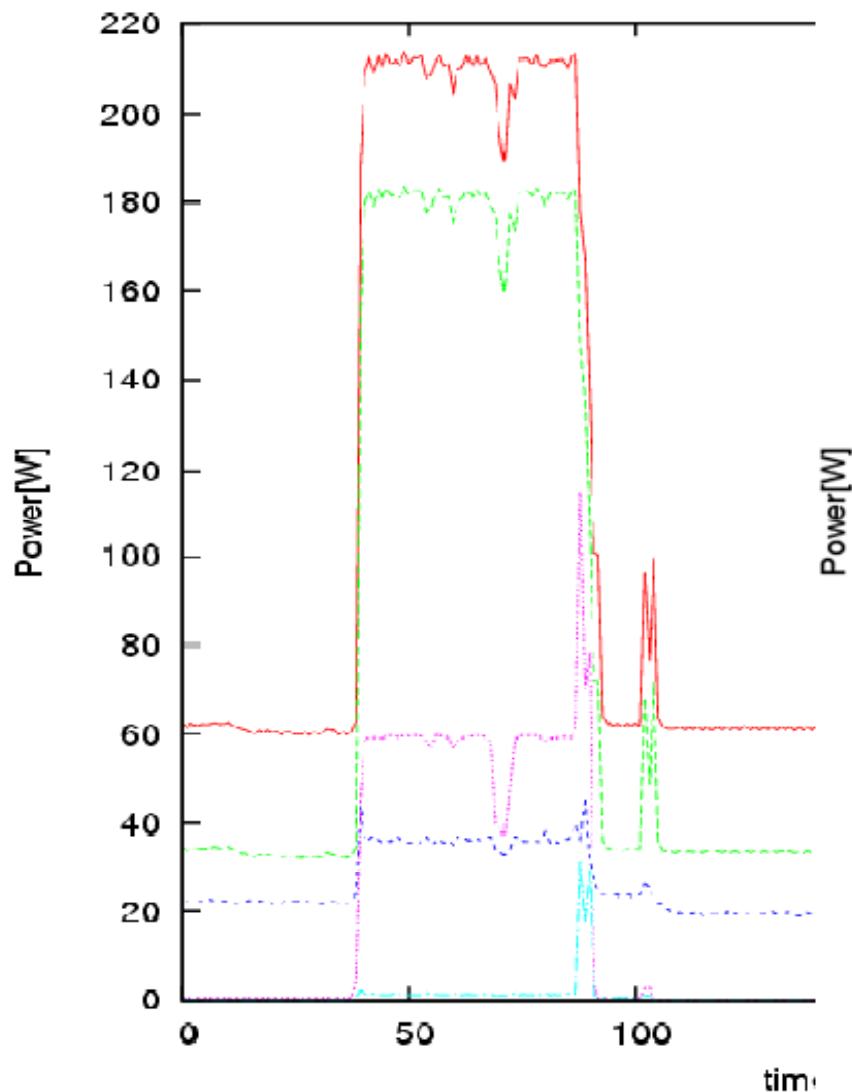
### ▶ 16コア(MPI並列)、配列サイズ: 2KB~2GB



- ▶ RAPLと外部電力計(WattsUp)の消費電力傾向は非常に良く一致
- ▶ メモリアクセス頻度の違いにより消費電力が大きく異なる
  - ▶ L2サイズ(256KB)以上: 電力増加 → キャッシュアクセス増 + DRAMアクセス増
  - ▶ L3サイズ(20MB)以上: 電力減少 → 単位時間あたりのアクセス頻度減少

# 消費電力制約の設定例: CPU

## ▶ パッケージ電力(PKG)を50Wに設定



# 講演内容

---

- ▶ 高性能計算機の消費電力トレンド
- ▶ エクサスケールに向けたPower Wallの検証
- ▶ Power Wall打開に向けた要素技術
- ▶ 電力マネージメントフレームワークの研究紹介

# 電力マネージメントフレームワークの研究紹介

---

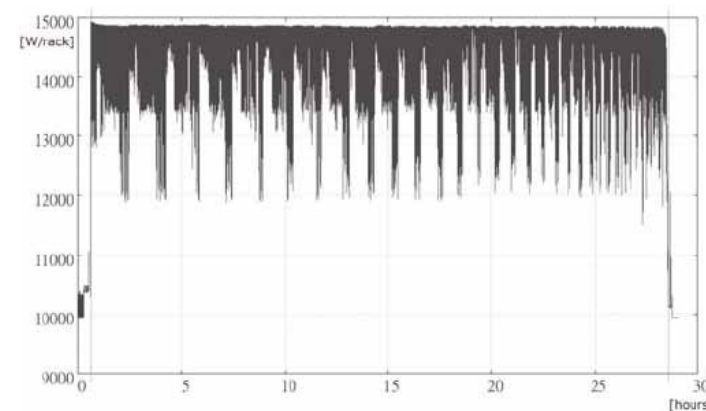
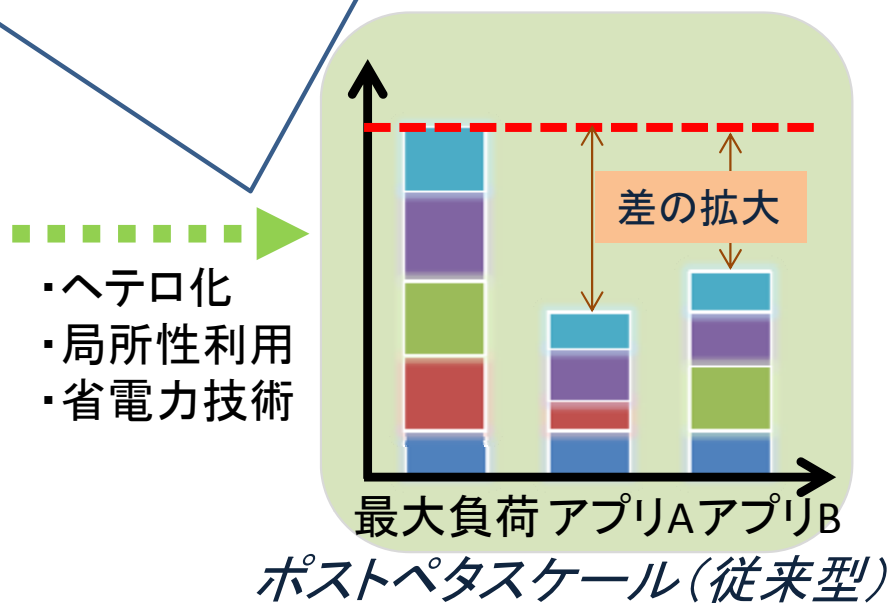
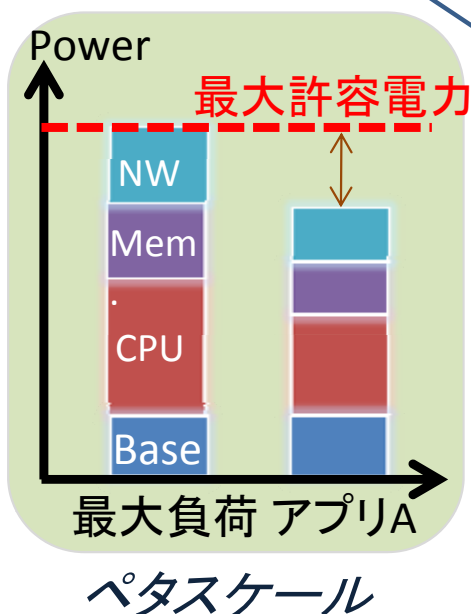
- ▶ JST CREST「ポストペタスケールシステムのための電力マネージメントフレームワークの開発」
  - ▶ 共同研究機関：富士通、九州大学、東京大学、電気通信大学
- ▶ 研究背景
  - ▶ ポストペタ時代のシステムは消費電力が最大の設計制約
  - ▶ アプリケーションのシステムへの要求の多様化
    - ▶ 計算・記憶・通信の各要素への要求が異なる
    - ▶ 電力がシステム制約となる状況下では各要素へ投入するハードウェア資源は制限せざるを得ない



運用時のピーク電力が制約を超えないことを保証する  
worst case設計ではシステムをスケールさせることは難しい

# 最大許容電力と実効消費電力

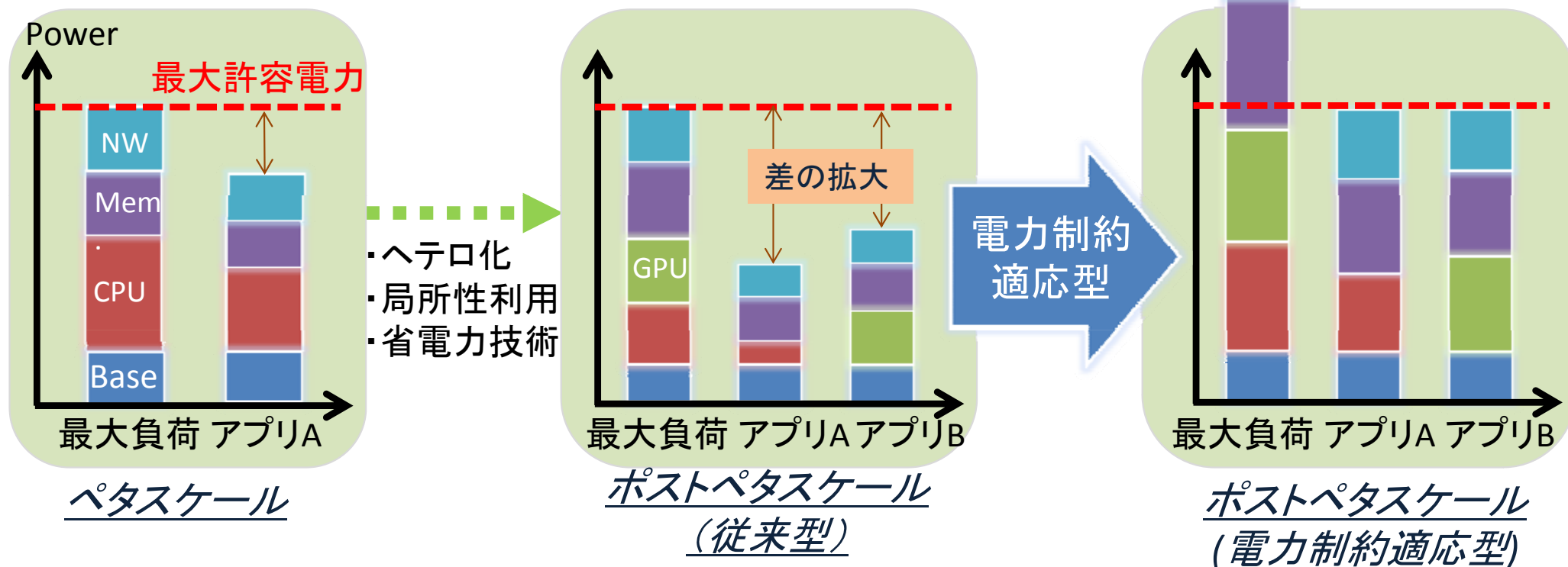
- ▶ 最大許容電力と実効電力の差の拡大
  - ▶ システムのヘテロジニアス構成化(特定アプリ専用・得意な構成要素の導入)
    - ▶ 設計制約が集積度ではなくなるため、HW資源を使い尽くすという設計からアプリにとって必要な資源を投入するという設計思想への転換
  - ▶ 局所性の利用(高性能化としての必須技術)
    - ▶ 一部要素への負荷集中の拡大
  - ▶ 省電力技術の積極的利用
    - ▶ DVFS・Power-Gatingなど普及、負荷比例電力成分の増加



参考データ: 京コンピュータにおける  
Linpack実行時の電力 [Miyazaki2012]

# ポストペタスケールシステムのあるべき姿

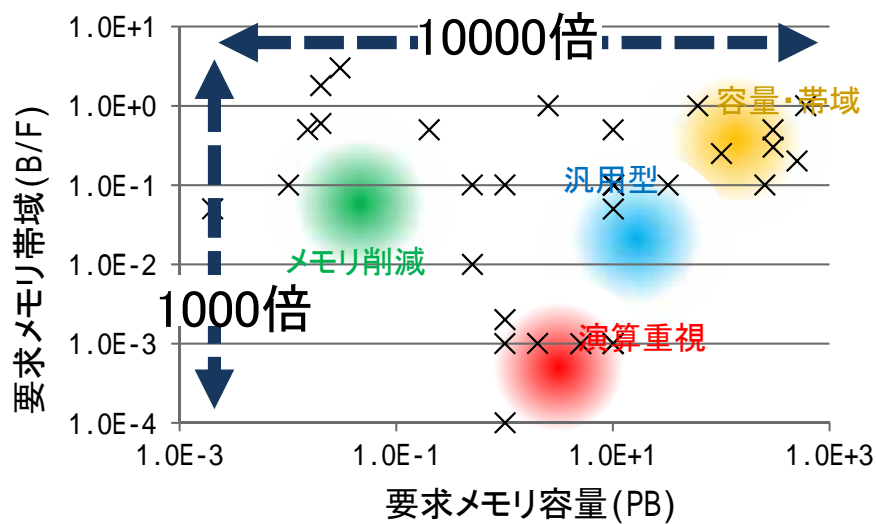
- ▶ ハードウェア資源の有効利用から電力資源の有効利用へのパラダイムシフト



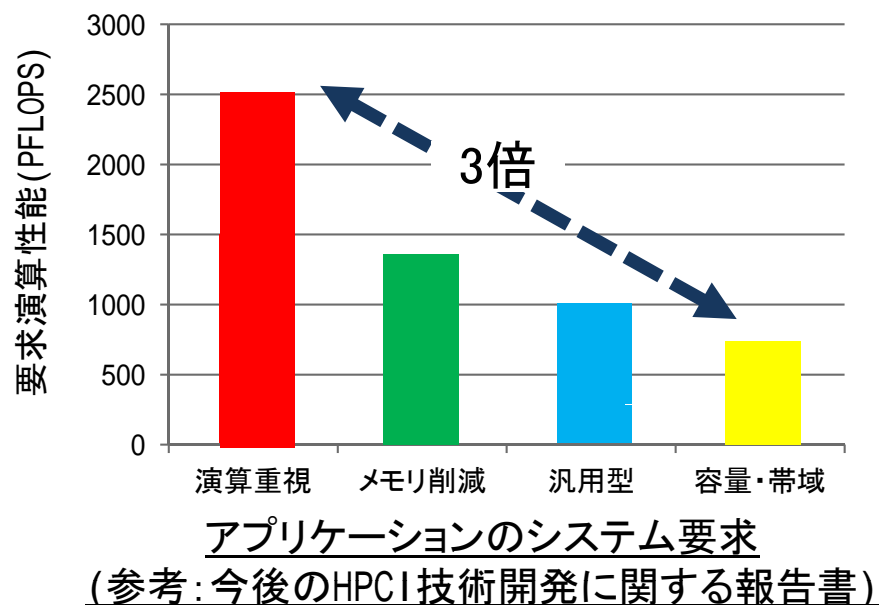
## 電力制約適応型システム

- ▶ 最大負荷時電力が電力制約を超過することを積極的に許容
- ▶ **電力性能ノブ**を自動制御することで実効電力を制約以下に抑制
- ▶ 電力資源を計算・記憶・通信へ適応的に配分することで実効性能向上へ

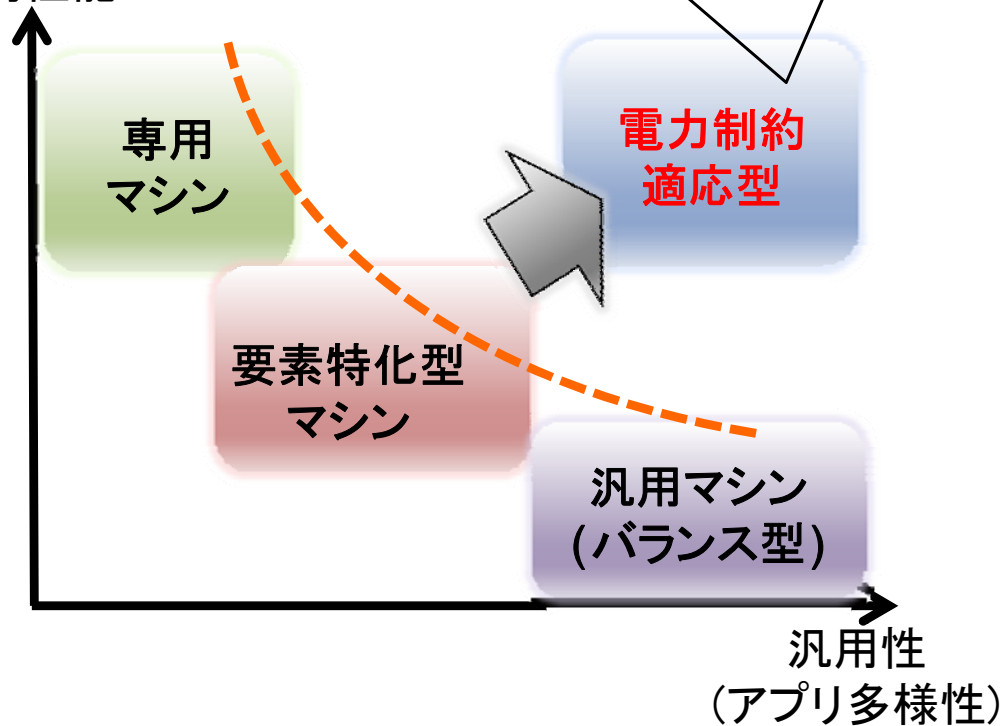
# 電力制約適応型システムのねらい



- ▶ **電力資源の適応的配分による実効性能向上**
  - ▶ 演算効率10%の場合、10倍の性能向上の可能性あり！
- ▶ 多様なアプリに対応可能なシステムの実現
- ▶ ☹️電力性能ノブ最適化の負担増



実効性能

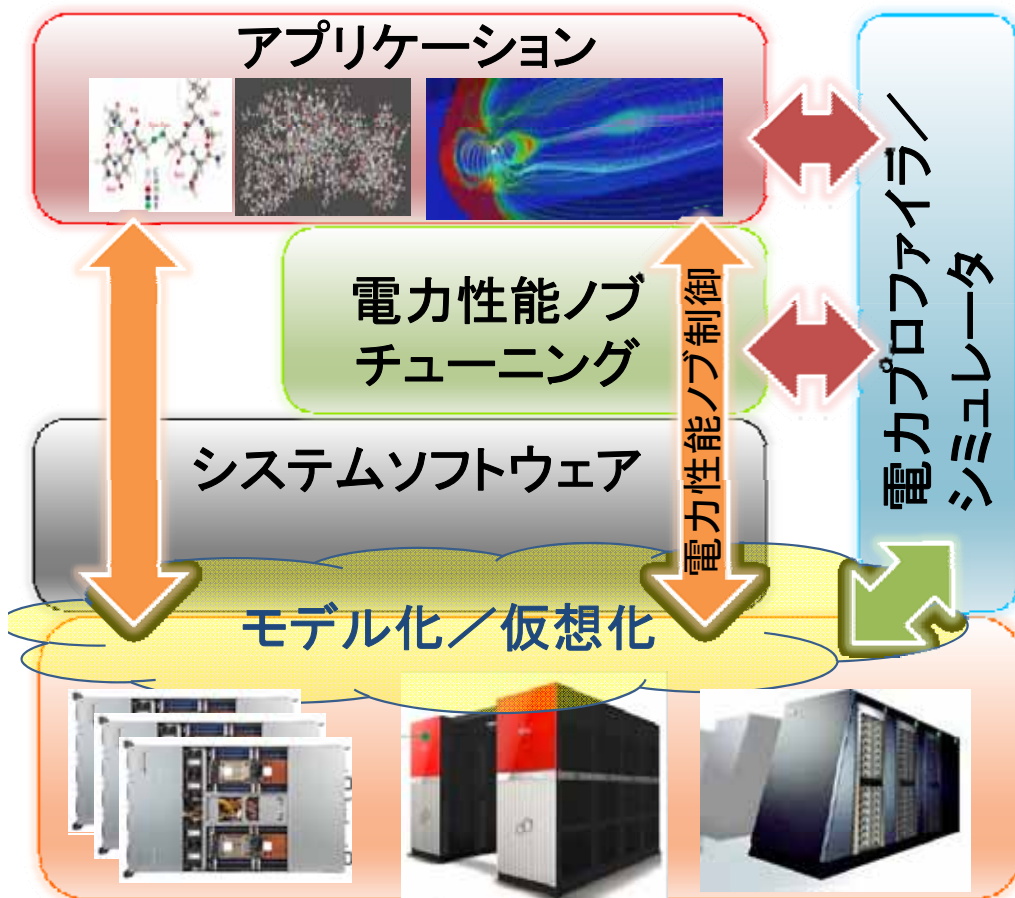


# 主要チャレンジと研究目的

## 電力制約適応型システムに向けた主要チャレンジ

1. 電力性能ノブ制御最適化のユーザ負担の低減・隠蔽
2. 電力制約適応型システムの制御と電力性能ノブ仮想化

→ 性能／電力最適化をアプリケーション最適化として統合できるフレームワーク



### ▶ 電力性能ノブ最適化による性能向上

- ▶ 自動・半自動での電力性能ノブ制御最適化
- ▶ 大規模アプリの電力挙動予測

### ▶ 電力制約適応型システムの制御

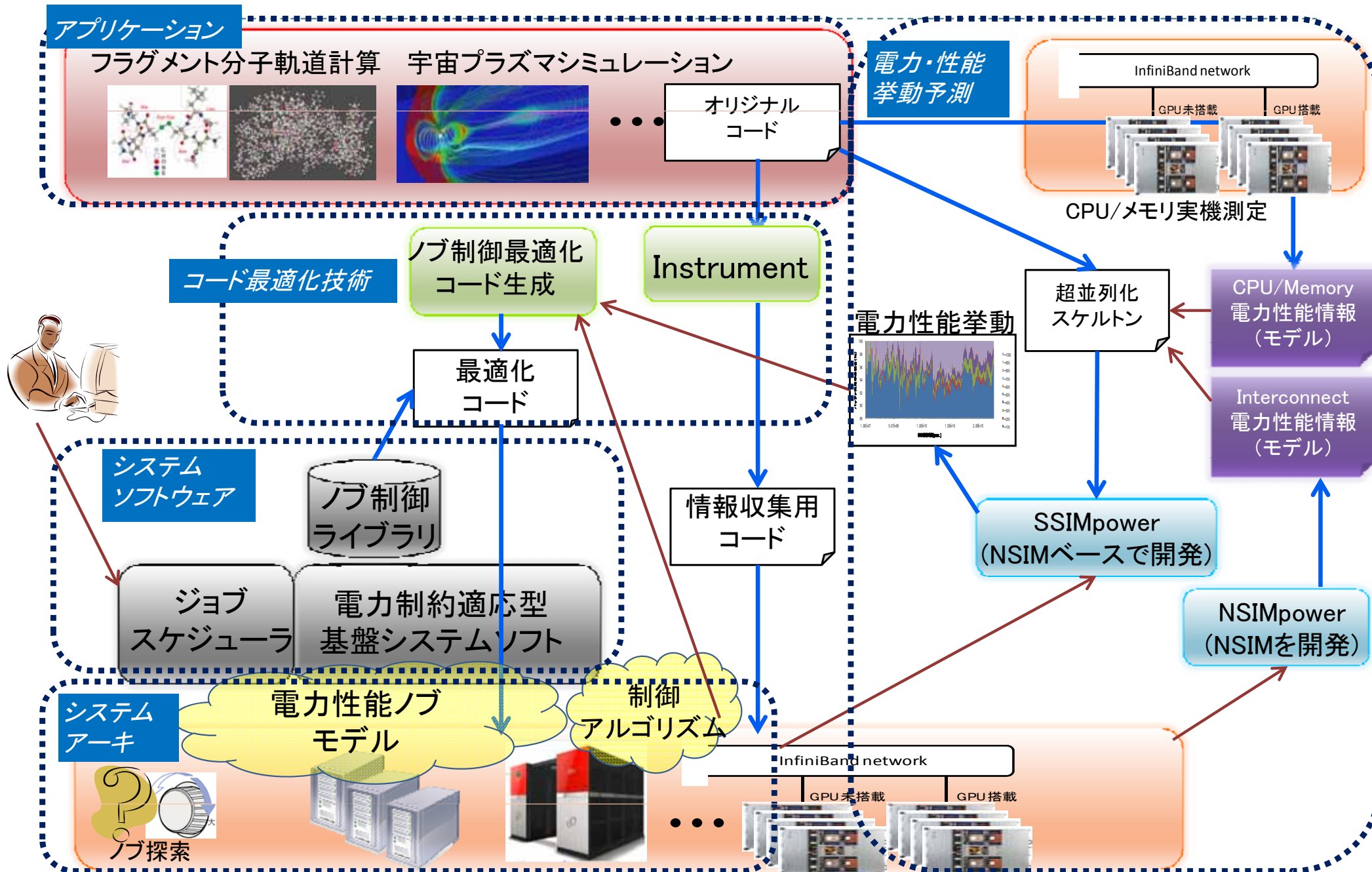
- ▶ HWの詳細をアプリから隠蔽しつつノブの制御、電力資源の管理が可能なシステムソフトウェア
- ▶ 動的変動に対応するジョブ管理技術

### ▶ 電力性能ノブ仮想化

- ▶ 新しいHWノブに対応し、その詳細を隠蔽可能な電力性能ノブモデリング
- ▶ 空間・時間粒度を考慮した最適化アルゴリズム

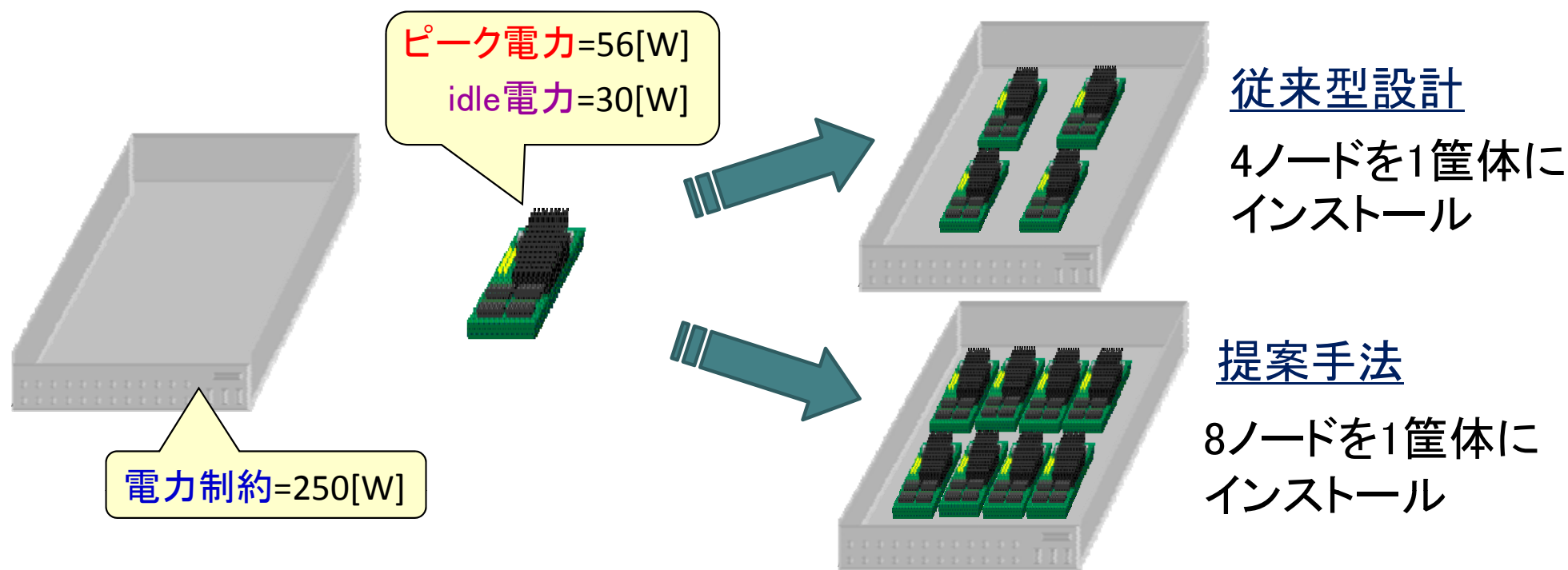


# 電力マネージメントフレームワークの全体像



# ノード数とCPU周波数の電力バランス最適化

- ▶ 計算機クラスタ上での適応的電力制御 [kondo2007]
  - ▶ 電力制約適応型システムをコンセプトとするプロトタイプ
  - ▶ 目的: 電力(発熱)制約内で電力資源を有効利用することで性能向上
  - ▶ 戦略: 制約を超えるノードを1筐体にインストール、クラスタ構成(ノード数・CPU周波数)をアプリに応じて最適化



# アプリに応じた最適化の方法

## ▶ 使用ノード数最適化

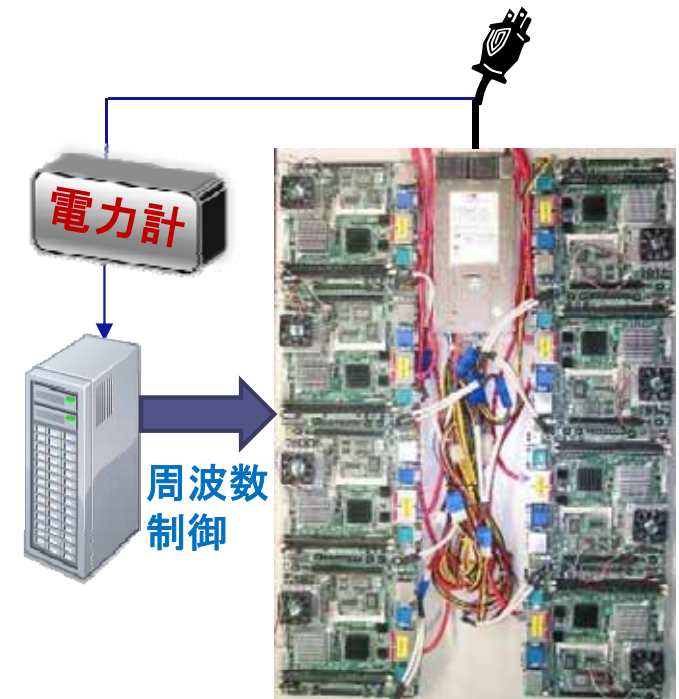
- ▶ 1筐体を用いてノード数を変化させてプロファイリング(周波数は動的制御)
- ▶ 最も高いMIPS値が得られるノード数の構成を採用

## ▶ 周波数の最適化

- ▶ 実行時の電力( $P_{eff}$ )をモニタリングしつつ電力制約内に収まるように周波数(電源電圧)を調整
- ▶ アルゴリズム

1.  $P_{eff}$  を一定周期でモニタリング
2. 周波数を1段階上げる
3.  $P_{eff}$  が電力制約を超えたら周波数を1段階下げる
4. 電力制約を超過した場合、一定時間周波数を上げるのを抑制

(周波数は筐体内の全ノードで同一)

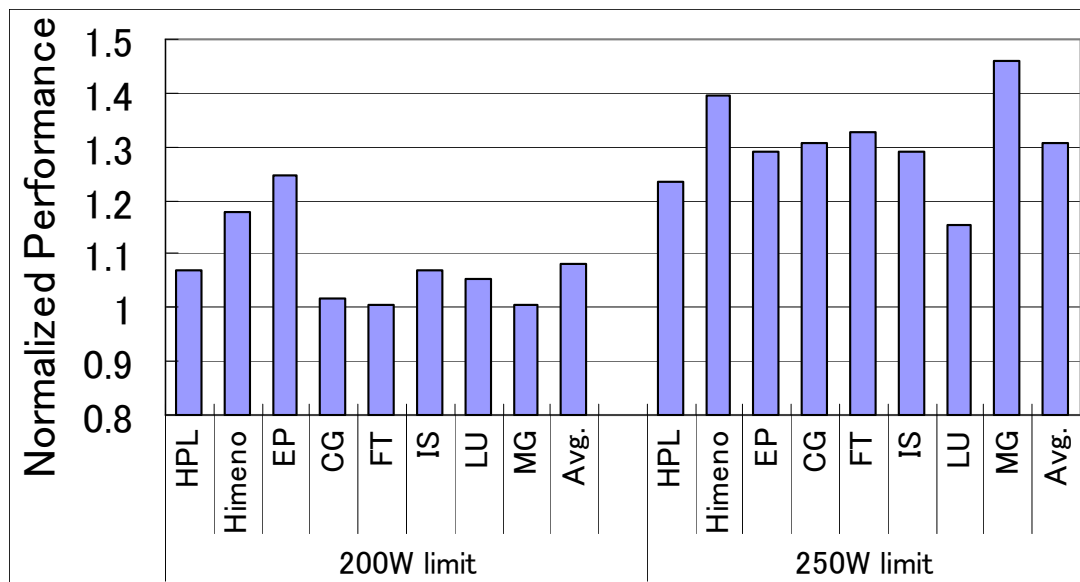


# 評価結果

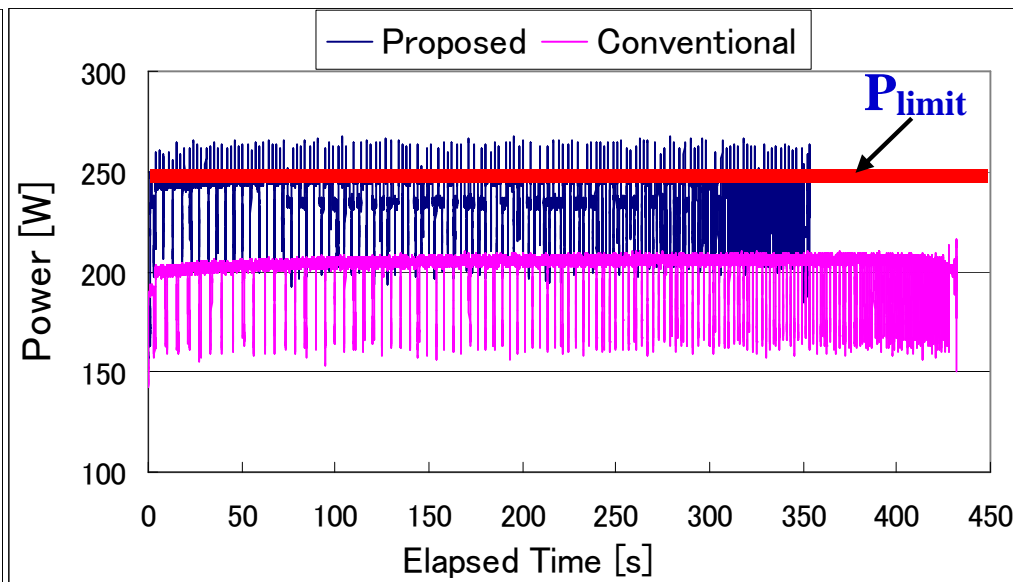
## システム構成・仮定

- ▶ CPU: Pentium M 760 (周波数2.0～0.8GHz)、メモリ: DDR SDRAM 1GB
- ▶ 8ノード／筐体 (ピーク消費電力 450[W])
- ▶ 電力制約: 200[W]および250[W]

### 従来型システムに対する性能



### 消費電力(HPL)



従来型のシステムに比べ最大で1.5倍程度の性能向上

# 構成要素間の電力バジェット配分最適化

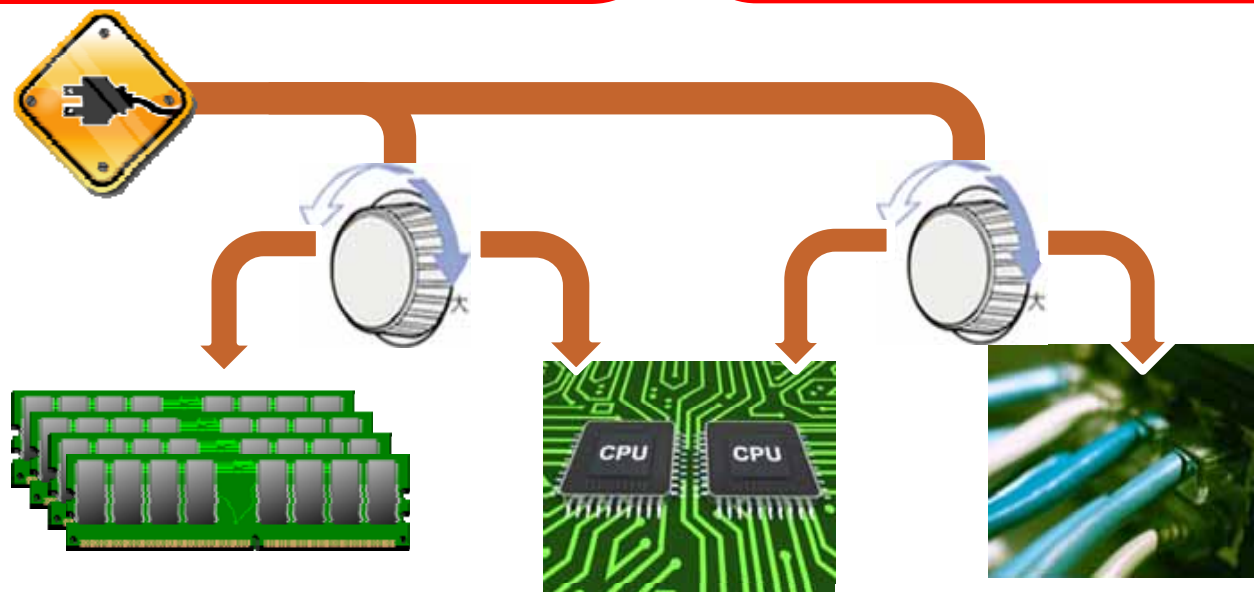
## ▶ 電力資源の適応的配分に向けた電力制御の事例

### プロセッサ-DRAM間

- ▶ RAPLの電力制約機能を利用
- ▶ まずは単一ノードに着目
- ▶ 電力バジェット(総量)とその配分量を様々に変えた際の実行時間を計測

### プロセッサ-ネットワーク間

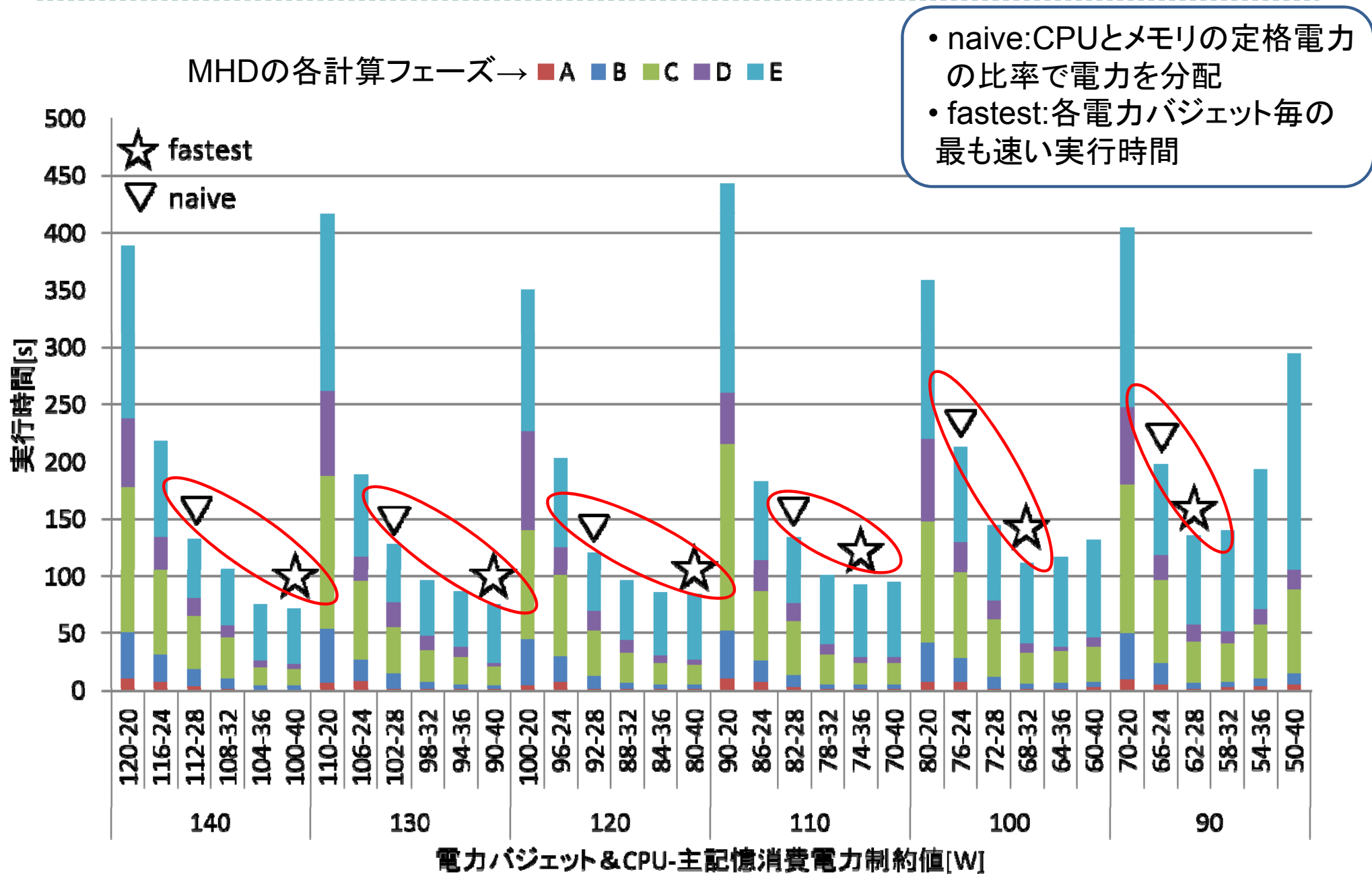
- ▶ EEE(Energy Efficient Ethernet)で生まれた余剰電力を各コアに配分
- ▶ 各ノードのコア周波数はクリティカリティに応じて電力を再分配
- ▶ プロファイリングにより最適化



DRAM・プロセッサ

プロセッサ・ネットワーク

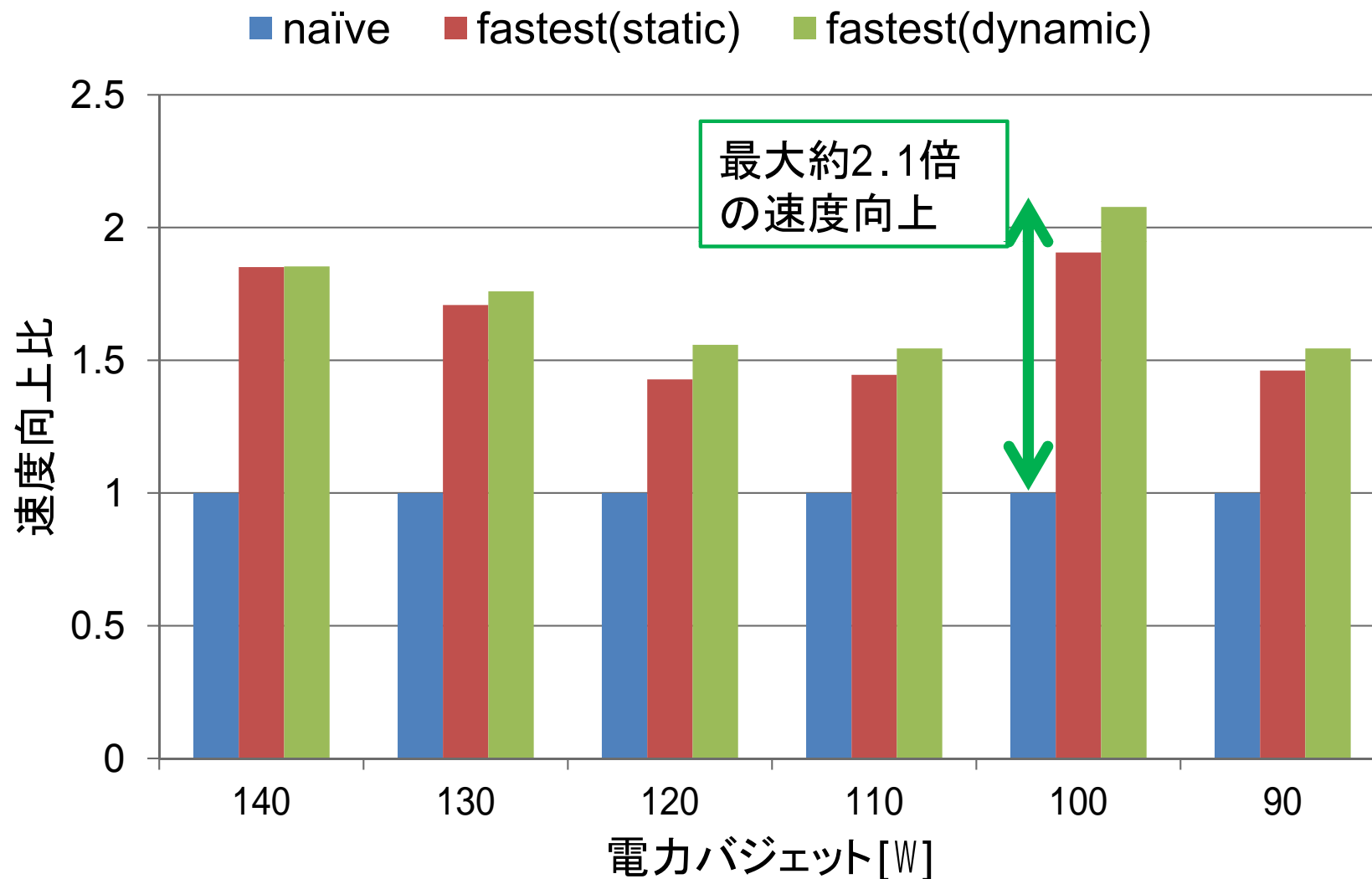
# プロセッサ-DRAM間の電力配分実験結果(1) [吉田2013]





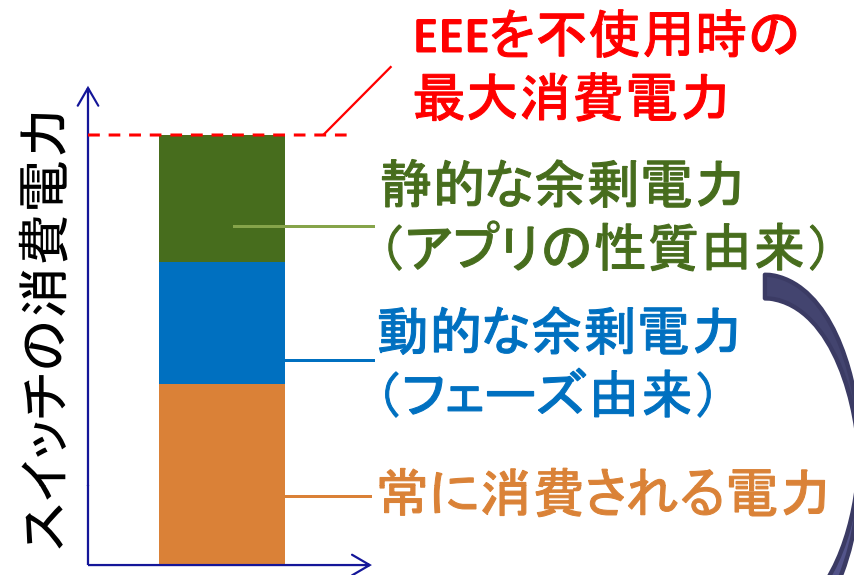
# プロセッサ-DRAM間の電力配分実験結果(2) [吉田2013]

## ▶ naïveに対する電力配分最適時による速度向上

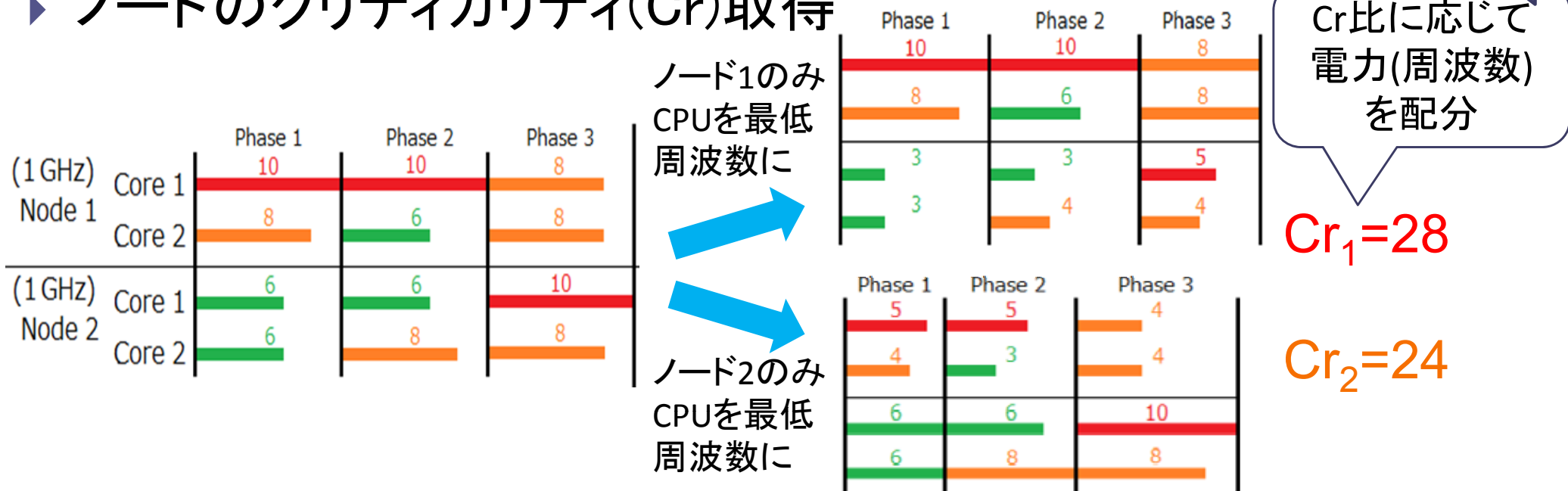


# プロセッサ-ネットワーク間の電力分配法[會田2013]

- ▶ Energy Efficient Ethernet (EEE)
  - ▶ インタフェース上にデータが流れない期間にリンクを省電力モードへ移行
  - ▶ タイムアウトで省電力モード
  - ▶ オンデマンドで復帰



## ノードのクリティカルティ(Cr)取得

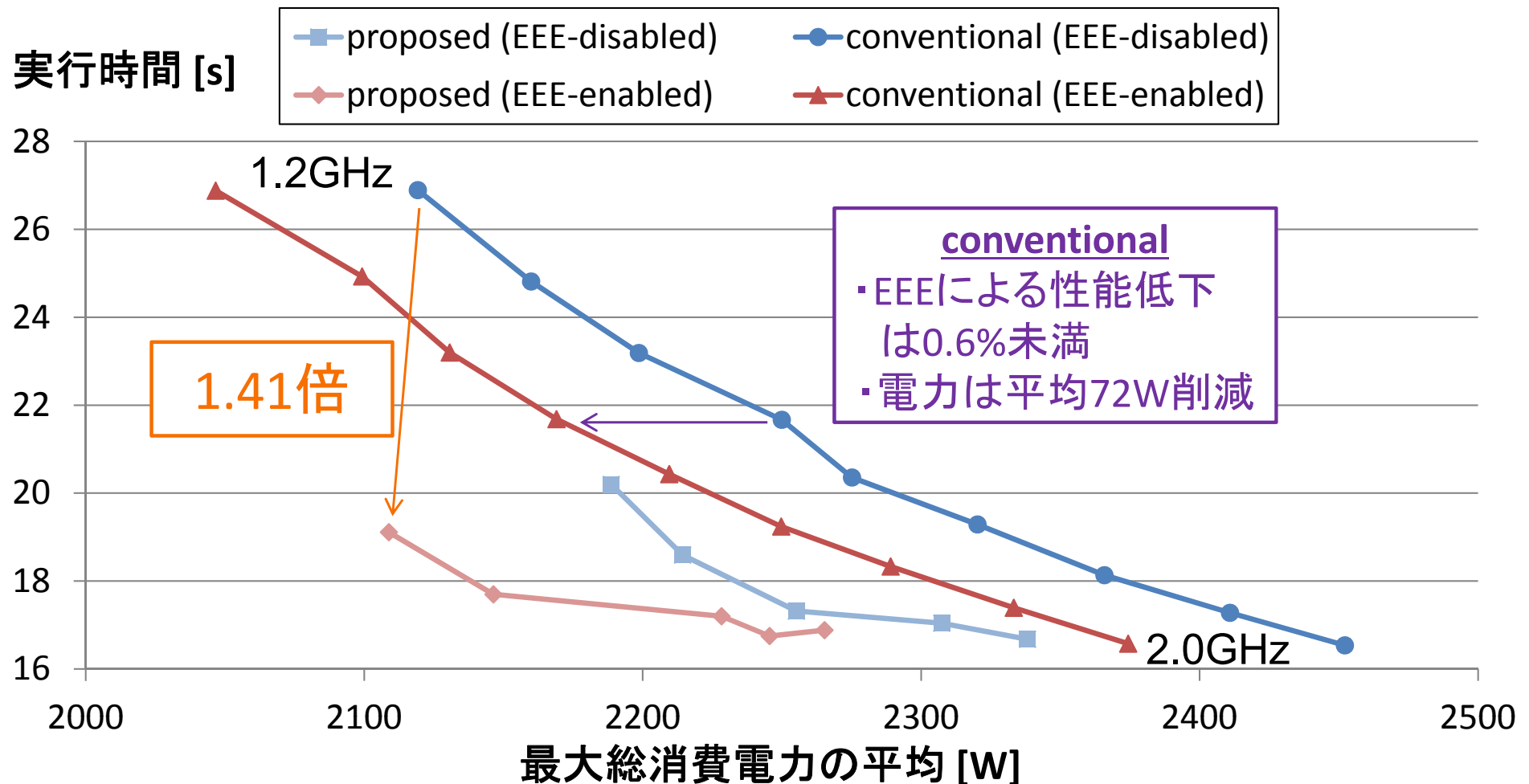




# プロセッサ-ネットワーク間の電力配分実験結果

- ▶ ネットワークの静的な余剰電力を利用することで1.4倍の性能向上を実現

ノード: Dell PowerEdge r620 x 16  
スイッチ: Dell PowerConnect 8132 x 3  
- 10GbE: 24ポート, EEE対応)  
- Fat-Tree構成



# まとめ

---

- ▶ エクサスケールに向けたPower Wall問題
  - ▶ 大規模システムの電力トレンドと将来予測
  - ▶ 2020年前後に20MWでExaFlopsの実現は簡単ではない
- ▶ 今後の打開策
  - ▶ 電力効率を向上するための種々の要素技術
  - ▶ 電力を最重要資源と考えた電力マネージメント
- ▶ 電力マネージメントフレームワークの研究紹介
  - ▶ 電力制約適応型システムの必要性
  - ▶ 適切な電力分配で性能は大きく向上する可能性あり
- ▶ 電力効率の向上に向けた継続的な技術開発が必須

# 参考文献

---

- ▶ [Wallance2013] S. Wallace, V. Vishwanath, S. Coghlan, Z. Lan, M. Papka, “Measuring Power Consumption on IBM Blue Gene/Q”, Proc. 9th HPPAC, May 2013.
- ▶ [Stevens 2008] R. Stevens, et. al. “Scientific Grand Challenges: Architectures and Technology for Extreme Scale Computing”, Technical report, ASCR Scientific Grand Challenges Workshop Series, Dec. 2009.
- ▶ [Kogge2008] P. Kogge, et. al., “ExaScale Computing Study, Technology Challenges in Achieving Exascale Systems”, IPTO tech. report TR-2008-13, DARPA, Sep. 2008.
- ▶ [石川2012] 石川他, “計算科学研究ロードマップ白書”, 2012年3月.
- ▶ [Pawlowski 2011] J. T. Pawlowski, “Hybrid Memory Cube (HMC)”, Hot Chips23, Aug. 2011.
- ▶ [Borkar2013] S. Borkar, “Exascale Computing – a fact or a fiction?”, IPDPS2013 Keynote, May 2013.
- ▶ [Sakurai2011] T. Sakurai, “Pitfalls in deep-volt logic design”. ISSCC’11 Forum: Ultra-Low Voltage VLSIs for Energy-Efficient Systems, Feb. 2011.
- ▶ [Sakurai2011-2] T. Sakurai, “Designing Ultra-Low Voltage logic”. Proc. ISLPED’11, pp57-58, Aug. 2011.
- ▶ [HMC2013] Hybrid Memory Cube Consortium, “Hybrid Memory Cube Specification 1.0”, 2013.

# 参考文献

---

- ▶ [追永] 追永, “FXシリーズの今後の取り組みについて”, SS研HPCフォーラム2013, 2013年8月.
- ▶ [Intel2012] Intel Power Governor, <http://software.intel.com/en-us/articles/intel-power-governor>, Jul. 2012
- ▶ [カオ2013] カオ, 和田, 近藤, 本多, “RAPLインタフェースを用いたHPCシステムの消費電力モデリングと電力評価”, 情報処理学会HPC研究会, 2013年10月.
- ▶ [Miyazaki2013] H. Miyazaki, “K Computer: 8.162 PetaFLOPS Massively Parallel Scalar Supercomputer Built with Over 548k Cores”, ISSCC’12, Feb. 2012.
- ▶ [Kondo2007] M. Kondo, Y. Ikeda, and H. Nakamura, “A High Performance Cluster System Design by Adaptive Power Control”, HPPAC2007, Mar. 2007.
- ▶ [吉田2013] 吉田, 佐々木, 深沢, 稲富, 上田, 井上, 青柳, “CPUと主記憶への電力バジェット配分を考慮したHPCアプリケーションの性能評価”, 情報処理学会HPC研究会, 2013年10月.
- ▶ [會田2013] 會田, 三輪, 中村, “電力制約下におけるCPUとネットワークの電力制御協調手法”, SWoPP2013, 2013年7月.