

5.まとめ

本 WG では FX100 等の既存環境、及び、ポスト FX100 評価環境を対象に基盤技術から実アプリケーションまで幅広い利用事例の議論を行った。基盤技術に関しては、HPC 分野における多数の最先端技術が紹介された。また、インテル製コンパイラとの比較により富士通製 C++コンパイラにおける技術的課題が多数指摘され、これらがポスト FX100 向け C++コンパイラ開発に反映されることになった。アプリケーション最適化に関しては、特に、スペクトル法に基づく流体コードにおける多次元 FFT の通信隠蔽による高速化事例が示された。また、格子ボルツマン法のようなこれまでのステンシル計算とは異なるタイプの計算カーネルの最適化事例も示された。ポスト FX100 性能評価では主にレジスタ数が FX100 の 128 本からポスト FX100 で 32 本に削減される影響が議論された。この結果、計算コードによってレジスタ数削減の影響を受けない事例が多数存在することが明らかになった。一方、レジスタ数削減の影響を大きく受ける事例については、ループ分割によってループボディを調整することで性能劣化を回避できることが示され、さらに、これをコンパイラによって自動最適化する見通しが議論された。以上の議論からポスト FX100 の活用に向けた見通しが得られた。この議論を更に発展させ、次期 WG ではポスト FX100 の実機を対象とした利用技術の検討が更に深まることを期待する。最後に、2 年間の WG 活動にご協力いただいた皆様に感謝する。

(メニーコア時代のアプリ性能検討 WG まとめ役 井戸村 泰宏)

【発行者】サイエンティフィック・システム研究会

【編集】サイエンティフィック・システム研究会
メニーコア時代のアプリ性能検討 WG

【発行日】2019 年 6 月 28 日

【連絡先】

〒105-7123 東京都港区東新橋 1-5-2 汐留シティセンター

富士通株式会社 カスタマーリレーション部内

Email: ssken-office@ml.css.fujitsu.com

Web サイト: <http://www.ssken.gr.jp/MAINSITE/>

著作権は各原稿の著者または所属機関に帰属します。無断転載、引用を禁じます。
